

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 13 日

Application Date

申請案號：092112881

Application No.

申請人：矽品精密工業股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 24 日

Issue Date

發文字號：09220622610

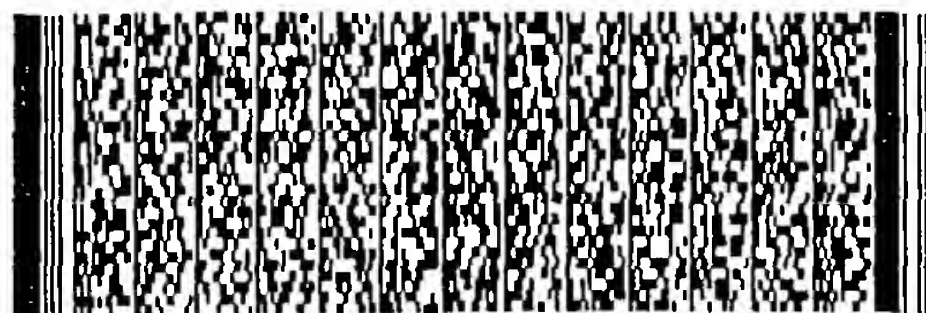
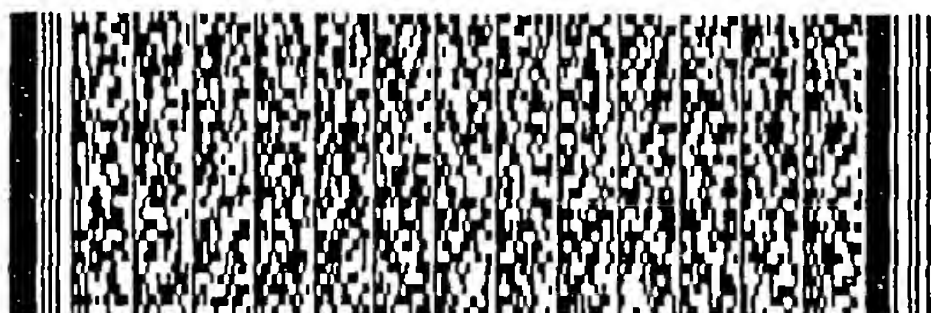
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件
	英 文	FLASH-PREVENTING WINDOW BALL GRID ARRAY SEMICONDUCTOR PACKAGE AND CHIP CARRIER AND METHOD FOR FABRICATING THE SAME
二、 發明人 (共1人)	姓 名 (中文)	1. 黃建屏
	姓 名 (英文)	1. Chien Ping HUANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮康莊街26巷8號
	住居所 (英 文)	1. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



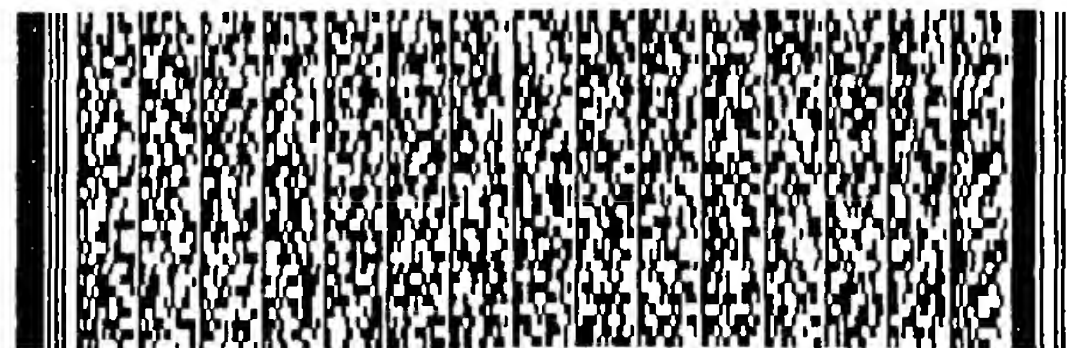
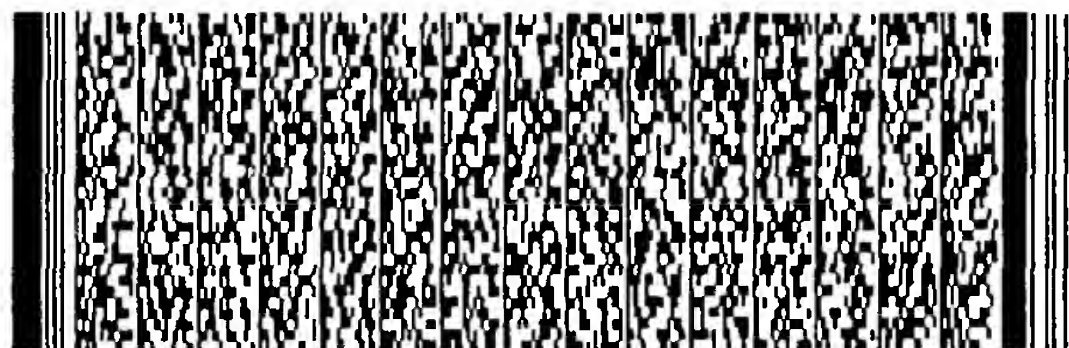
四、中文發明摘要 (發明名稱：可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件)

一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，係包括：具有一貫穿通孔的基板，其一表面上係定義有多數個鐳線部與植球部，以及位於該鐳線部相對於該通孔之一側的預定外露區域；接置於該基板並覆蓋該通孔的晶片；敷設於該基板上以外露出該多數個植球部的拒鐳劑層，其係於該通孔周圍形成一開口以外露出該通孔、該多數個鐳線部與該預定外露區域；穿過該通孔以電性連接該晶片與該鐳線部的多數鐳線；以及用以包覆該晶片與鐳線的封裝膠體，其中，該預定外露區域將於封膠製程中形成該封裝膠體的狹窄通道，以令該封裝膠體敷蓋於該預定外露區域上而不致溢膠至該用以植設多數鐳球的植球部，進而可改善該封裝件之電性連接品質與表面平整度。

本案代表圖：第1圖

六、英文發明摘要 (發明名稱：FLASH-PREVENTING WINDOW BALL GRID ARRAY SEMICONDUCTOR PACKAGE AND CHIP CARRIER AND METHOD FOR FABRICATING THE SAME)

A flash-preventing window ball grid array (WBGA) semiconductor package and its chip carrier and a method for fabricating the same are provided. The chip carrier is composed of a substrate with a through hole, wherein a plurality of wire-bonding portions and ball-implanting portions, and a predetermined region adjacent to the wire-bonding portions are defined on the lower

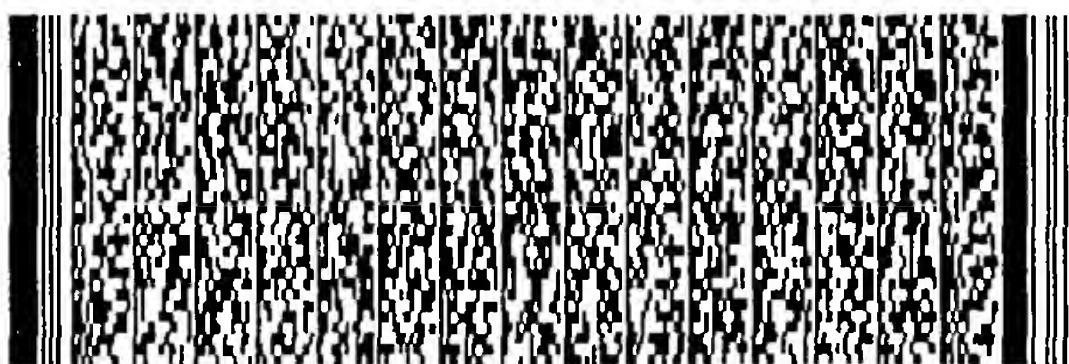


四、中文發明摘要 (發明名稱：可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件)

- 1 半導體封裝件
- 10 基板
- 11 第一表面
- 12 第二表面
- 13 基板通孔
- 20 晶片
- 21 作用表面
- 22 非作用表面
- 23 電性區
- 31 第一封裝膠體
- 32 第二封裝膠體
- 33 敷蓋表面
- 40 導電跡線層
- 41 鐸線部
- 42 植球部

六、英文發明摘要 (發明名稱：FLASH-PREVENTING WINDOW BALL GRID ARRAY SEMICONDUCTOR PACKAGE AND CHIP CARRIER AND METHOD FOR FABRICATING THE SAME)

surface of the substrate. A solder mask layer is applied over the lower surface of the substrate, having an opening to allow the through hole, the wire-bonding portions, and the predetermined region to be exposed to outside of the solder mask layer. Then, at least a chip is mounted on the upper surface of the substrate and covers the through hole, allowing the chip to be electrically



四、中文發明摘要 (發明名稱：可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件)

43 第一拒鐸劑層

44 第二拒鐸劑層

44a 開口

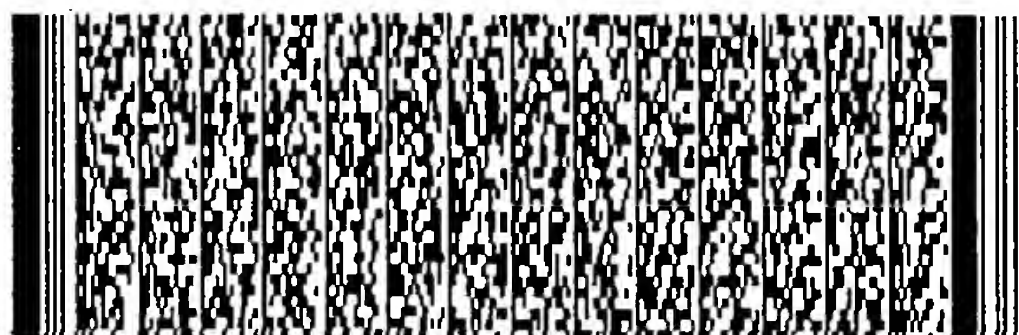
45 鐸線

50 鐸球

60 預定外露區域

六、英文發明摘要 (發明名稱：FLASH-PREVENTING WINDOW BALL GRID ARRAY SEMICONDUCTOR PACKAGE AND CHIP CARRIER AND METHOD FOR FABRICATING THE SAME)

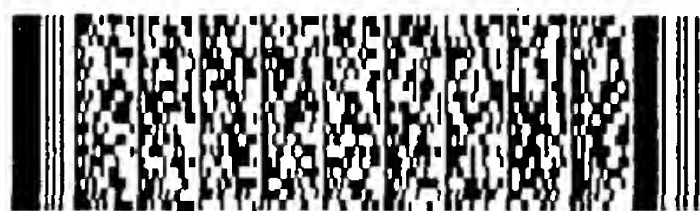
connected to the wire-bonding portions. After that, an encapsulant is formed on the substrate to encapsulate the chip and the wire-bonding portions. The predetermined region is formed into a narrow passage of the encapsulant with a bottom mold cavity during molding process. As a result, the narrow passage is filled with the encapsulant, thereby preventing the occurrence of flash on the



四、中文發明摘要 (發明名稱：可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件)

六、英文發明摘要 (發明名稱：FLASH-PREVENTING WINDOW BALL GRID ARRAY SEMICONDUCTOR PACKAGE AND CHIP CARRIER AND METHOD FOR FABRICATING THE SAME)

lower surface of the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

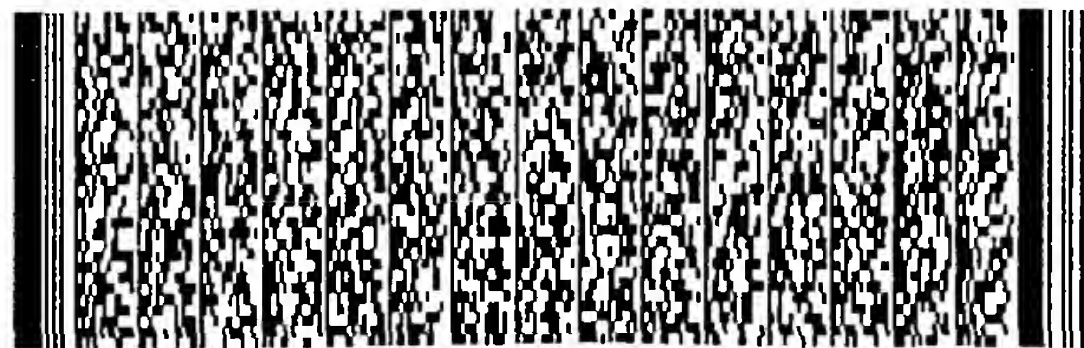
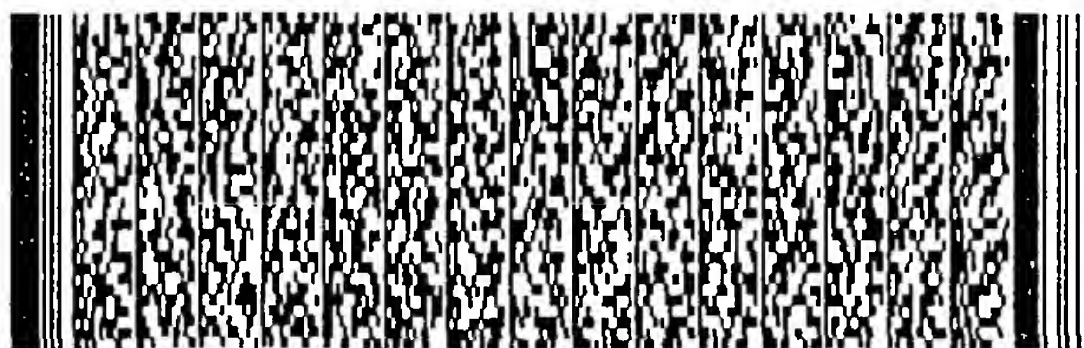
【發明所屬之技術領域】

本發明係關於一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，尤指一種有益於其電性連接品質的可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件。

【先前技術】

開窗型球柵陣列 (Windows Ball Grid Array) 半導體封裝件係於所使用之基板開設至少一貫穿該基板的通孔，以供晶片以覆蓋該通孔之方式接置於該基板的一表面上，並藉穿過該通孔中之鐸線電性連接該晶片與基板，且於基板之另一相對表面上植設多數鐸球，從而使晶片與外界電子元件連接，因此，即可藉此一設計而令中央鐸墊型 (Central-Pad Type) 晶片縮短其鐸線長度，以降低電訊傳輸阻抗，進而可提昇其電性及降低整體封裝件之厚度。

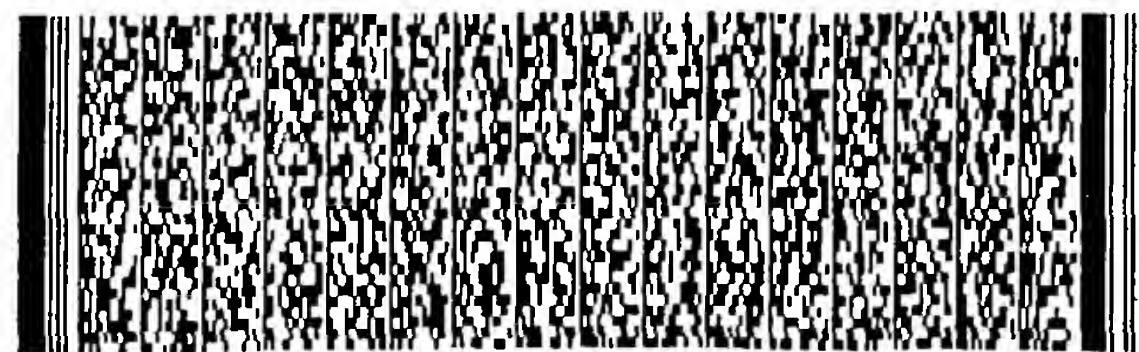
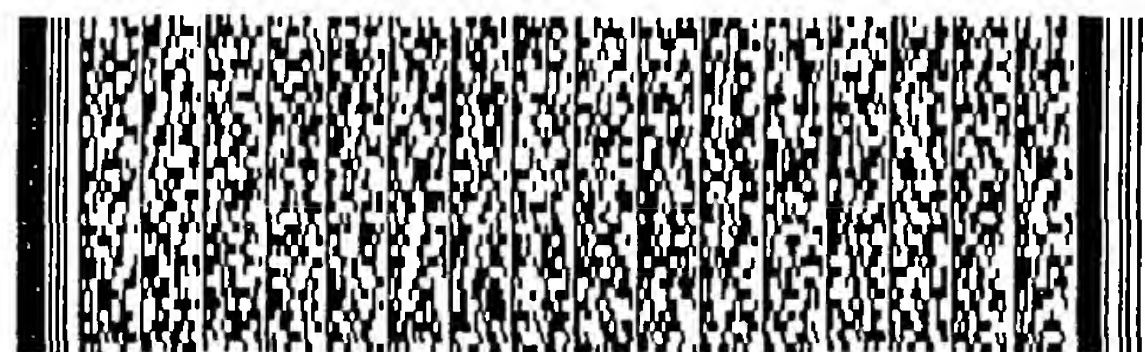
該種習知開窗型球柵陣列封裝結構係如第 5A 圖所示，使用一具有上、下表面 81、82 之基板 80，而於該基板 80 上開設一貫穿該基板 80 之通孔 83，並於該基板之下表面 82 的導電跡線層預設多數個鐸線位置 84 與植球位置 85，而供一晶片 86 以其作用表面 86a (Active Surface) 朝下接置於該基板之上表面 81 上，並封蓋住該通孔 83 的一端，以使該晶片 86 上預設之鐸墊 87 外露於該通孔 83 中，俾使多數鐸線 88 穿過該通孔 83 而將該晶片 86 上之鐸墊 87 電性連接至該基板上表面 82 上的對應鐸線位置 84，接著，復於該基板之上、



五、發明說明 (2)

下表面 81、82 分別形成一第一封裝膠體 90 與第二封裝膠體 91，以令該第一封裝膠體 90 包覆該晶片 86，令該第二封裝膠體 91 填滿該通孔 83 並包覆該鐳線 88，最後，復於該下表面 82 上未被該封裝膠體 91 包覆的植球位置 85 上植設多數個鐳球 92，以使該鐳球 92 作為輸入/輸出 (I/O) 端而將該晶片 86 電性連接至外界之印刷電路板，例如美國專利第 6,048,755 號案、第 6,190,943 號案、第 6,218,731 號案與第 6,326,700 號案等習知技術，均係提出開窗型球柵陣列封裝件之相關結構與製法，以解決習知封裝件的電性或尺寸限制。

此一開窗型球柵陣列封裝件雖有前揭之優點，惟其特殊製程卻也衍生了其他良率上的難題，此係由於該類封裝件於封膠製程時，由於需形成用以包覆該鐳線 88 之第二封裝膠體 91，故於此一上下兩側封膠製程中，其模具組的下模具 94 勢必需形成一模穴 94a，以形成該第二封裝膠體 91 的預定形狀，而非僅如其他球柵陣列 (BGA) 封裝件之封膠製程中所使用具有平坦接觸表面的下模具；因此，如第 5B 圖所示，當其進行模壓封膠製程時，即係將佈設有晶片 86 與鐳線 88 之基板 80 置於一封裝模具 95 中，以當一環氧樹脂 (Epoxy) 材料注入模具 95 中時，可填充於其上模具 93 之上模穴 93a 中而形成用以包覆晶片 86 之第一封裝膠體 90，且填充於其下模具 94 之下模穴 94a 中而形成用以包覆鐳線 88 之第二封裝膠體 91，然而，該上、下模具 93、94 由於受限於封裝件之設計，故其模穴尺寸 (Cavity Size) 與夾壓



五、發明說明 (3)

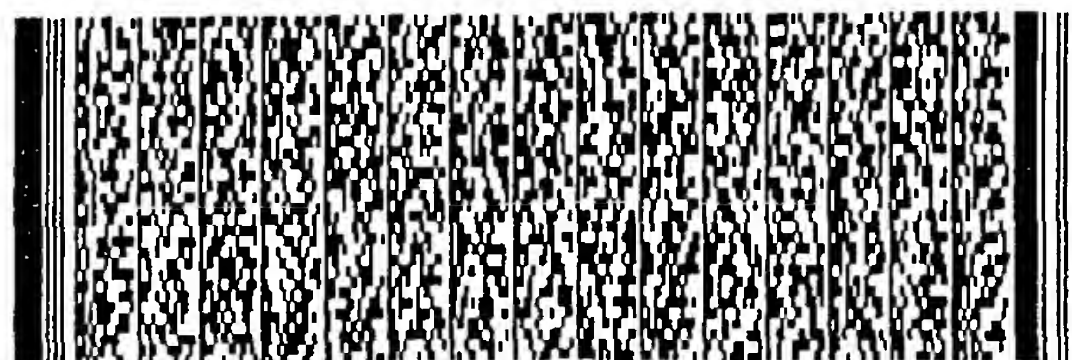
(Clamp)位置勢必有所差異，而將如圖所示產生上模穴 93a 覆蓋基板 80 之面積大於下模穴 94a 的情況，此時該基板下表面 82 上鄰接該第二封裝膠體 91 之未夾壓 (NC, Non-Clamping) 區域由於並未承受該上模具 93 之夾壓力，而僅承受該下模具 94 向上之夾壓，將因而於該區域中產生未密合夾固的情形，進而將於注入樹脂材料後，導致用以形成該第二封裝膠體 91 之樹脂溢膠 (Flash) 至基板下表面 82 的情形，如第 5C 圖之剖視圖與第 5D 圖之底視圖 (第 5C 圖係自第 5D 圖之 B-B 方向所視)，此一溢膠污染現象非但將降低該封裝件的表面平整度與外形美觀，同時更可能污染該下表面 82 上的預定植球位置 85，導致鐳球 92 無法完整地鐳接至基板 80 而影響該封裝件的電性連接品質。

因此，對於前揭各美國專利或其他習知技術而言，假若無法有效解決該開窗型球柵陣列封裝件的溢膠問題，勢將嚴重影響其元件電性，反而降低該類封裝件的電性傳輸品質，而無法滿足其改良初衷，亦令最初之設計美意大打折扣。

綜上所述，如何開發一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法，以提昇其電性連接品質，同時兼顧該封裝件之表面平整度及乾淨外觀，確為此一相關研發領域所需迫切面對的課題。

【發明內容】

因此，本發明之一目的即在提供一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝



五、發明說明 (4)

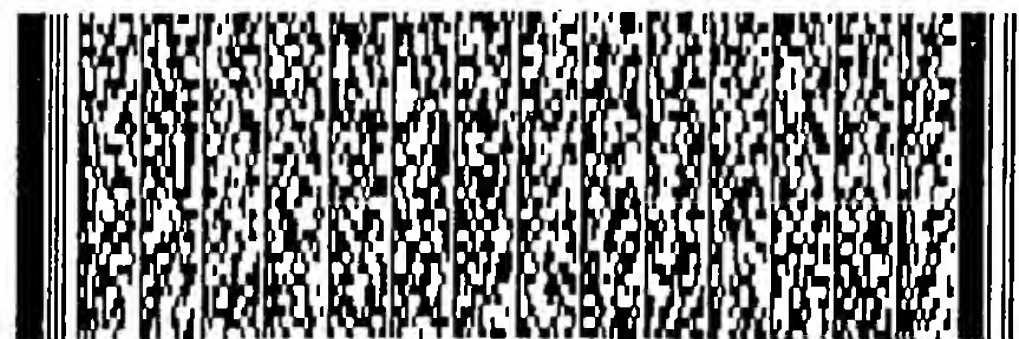
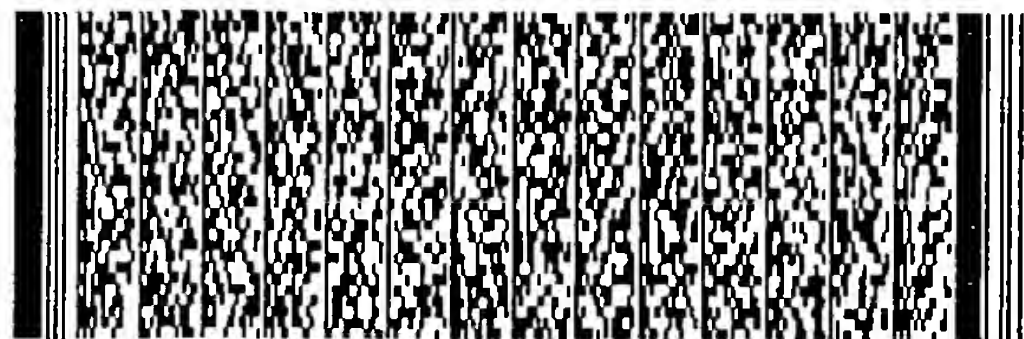
件之晶片承載件，以使其電性連接效果得因而提昇。一

本發明之一目的即在提供一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，以改善該封裝件之表面平整度。

本發明之另一目的在提供一種可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，以令該封裝件具有較乾淨之外觀。

為達前述及其他目的，本發明所提供之可防止溢膠之開窗型球柵陣列半導體封裝件製法，其步驟係包括：製備一芯層，係具有一第一表面與一相對之第二表面，且具有一貫穿該芯層之通孔，並於該第二表面上定義出多數個鐸線部與植球部，以及位於該鐸線部相對於該通孔之一側的預定外露區域；於該第二表面上敷設一拒鐸劑層，並外露出該多數個植球部，同時，於該通孔周圍形成一開口以露出該通孔、該多數個鐸線部與該預定外露區域；製備至少一晶片，以將該晶片接置於該芯層之第一表面並覆蓋該通孔之一端，而令該晶片部份外露於該通孔中；形成多數穿過該通孔之鐸線，以電性連接該晶片與該鐸線部；進行一封膠製程，以於該芯層之第一表面上形成第一封裝膠體包覆該晶片，於該芯層之第二表面上形成第二封裝膠體包覆該鐸線，其中，該預定外露區域將於該封膠製程中形成該第二封裝膠體的狹窄流道；以及植設多數個鐸球於該植球部上。

此外，該製法所製成之可防止溢膠的開窗型球柵陣列

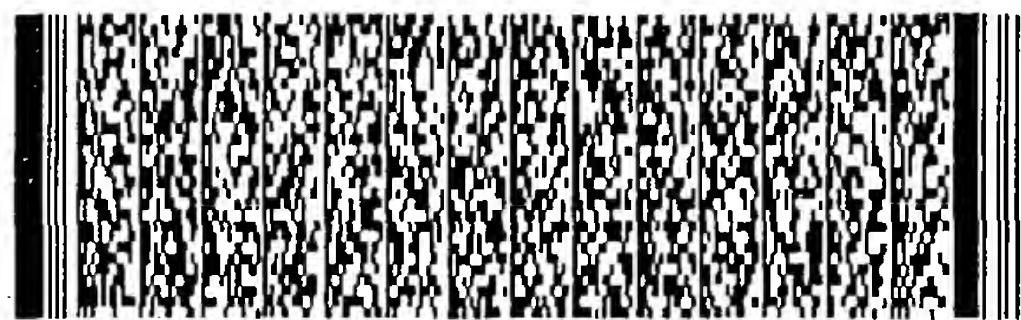


五、發明說明 (5)

半導體封裝件，係包括：具有一第一表面與一相對之第二表面的芯層，係具有一貫穿該芯層之通孔，其中，該第二表面上係定義有多數個鐳線部與植球部，以及位於該鐳線部相對於該通孔之一側的預定外露區域；至少一晶片，係接置於該芯層之第一表面並覆蓋該通孔之一端，而令該晶片部份外露於該通孔中；敷設於該芯層之第二表面上的拒鐳劑層，且外露出該多數個植球部，並於該通孔周圍形成一開口以外露出該通孔、該多數個鐳線部與該預定外露區域；穿過該通孔以電性連接該晶片與該鐳線部的多數鐳線；封裝膠體，係於該芯層之第一表面上形成第一封裝膠體以包覆該晶片，並於該芯層之第二表面上形成第二封裝膠體以包覆該鐳線且敷蓋於該預定外露區域上；以及植設於該植球部的多數植球。

同時，本發明所提出之用於前述開窗型球柵陣列半導體封裝件的晶片承載件，係包括：具有一第一表面與一相對之第二表面的芯層，係具有一貫穿該芯層之通孔；敷設於該芯層之第二表面上的導電跡線層，且係定義有多數個鐳線部與植球部，以及位於該鐳線部相對於該通孔之一側的預定外露區域；以及敷設於該導電跡線層上的拒鐳劑層，係可令該多數個植球部外露出該拒鐳劑層外，同時，該拒鐳劑層係形成一開口以外露出該通孔、該多數個鐳線部與該預定外露區域。

前述之預定外露區域的寬度係位於 0.2 至 0.8 毫米 (mm) 之間，並以 0.4 毫米 (mm) 為最佳，且係鄰接於該鐳線部，



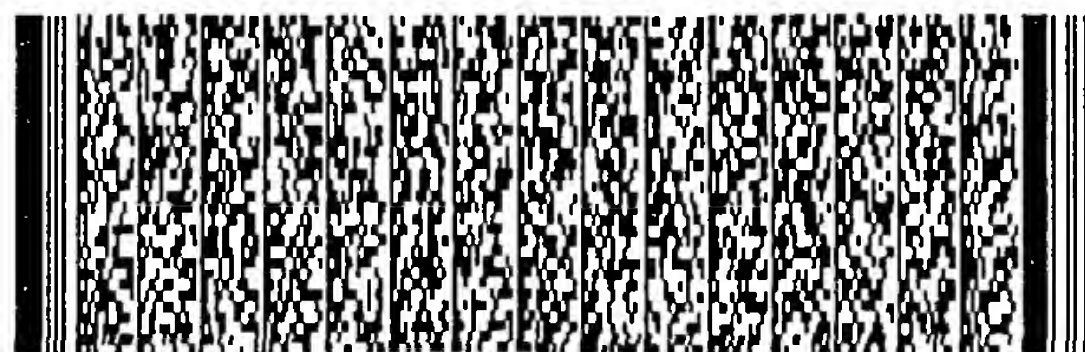
五、發明說明 (6)

以藉由此一設計，而令該拒錒劑層之開口寬度略大於用以形成該第二封裝膠體之模具的模穴寬度，因此，該預定外露區域將於該封膠製程中形成該拒錒劑層邊緣與該模穴邊緣間的距離間隔，而藉由該模具之表面被圍置成該第二封裝膠體的狹窄流道，且該流道之長度即為該預定外露區域的寬度。

故，當該封裝件進行封膠製程以注入封裝膠體時，該第二封裝膠體將填充於該模穴中以包覆該多數錒線，並將流入該流道中以填滿該流道，此時，由於該封裝膠體係為一低雷諾數 (Reynolds Number) 的黏性流體，故當其進入一口徑急遽縮小的狹窄流道時，根據流體力學之理論，此時該黏性流體之黏度將上升而使流速減緩，並造成其能量散逸，而令流入該狹窄流道中的第二封裝膠體停滯於該流道中，而不致溢流入該拒錒劑層與該模具表面間的壓合間隙，而可避免習知的溢膠污染問題。

因此，本發明所提出之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，即係藉由該預定外露區域之設計，而令其與模具間形成一封膠流道，使該第二封裝膠體除完整充填於該通孔中並包覆該多數錒線外，復藉由對該狹窄流道之充填，而敷蓋於該預定外露區域上且形成高度約等於該拒錒劑層之平面，進而可避免膠體溢膠至該植球部而影響電性連接之相關習知問題。

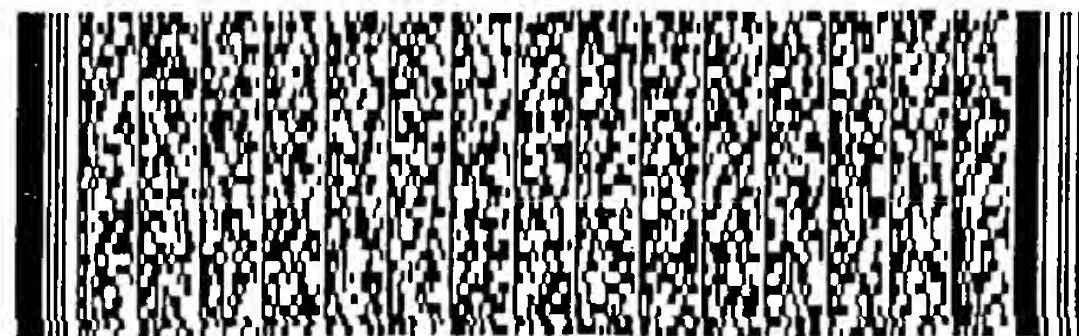
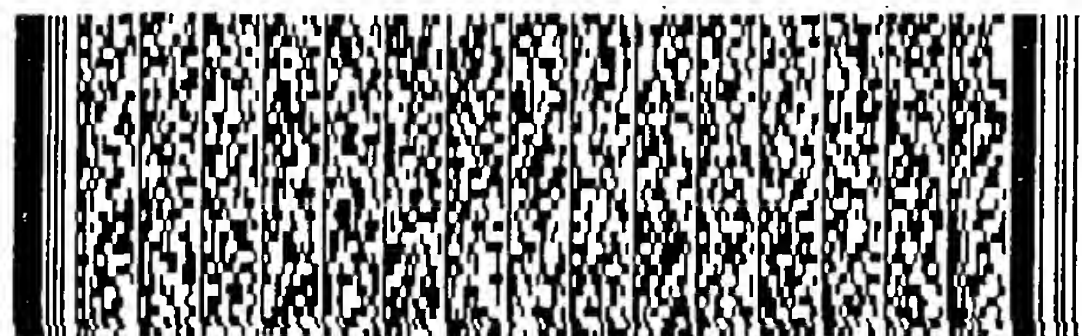
【實施方式】



五、發明說明 (7)

第 1 圖所示即為本發明之可防止溢膠開窗型球柵陣列半導體封裝件的較佳實施例剖視圖，係包括一具有第一表面 11 與相對之第二表面 12 的基板芯層 10 (以下即簡稱基板)，接置於該基板 10 上且具有一作用表面 21 與非作用表面 22 的晶片 20，形成於該基板之第一表面 11 與第二表面 12 上的封裝膠體 31、32，以及植接於該基板第二表面 12 上的多數鉚球 50；其中，該基板 10 之中央係具有一貫穿該基板 10 之通孔 13，且該第二表面 12 上之導電跡線 (Trace) 層 40 係定義有多數個鉚線部 41 與植球部 42，以令該多數個鉚線部 41 分布於該通孔 13 之周圍，而令該植球部 42 陣列排列於該通孔 13 之兩側以植接該多數鉚球 50，同時，該晶片 20 係以其作用表面 21 接置於該基板之第一表面 11 並覆蓋住該通孔 13 之一端，而令該作用表面 21 上的電性區 23 外露於該通孔 13 之中，並以多數鉚線 45 穿過該通孔 13 而電性連接該晶片之電性區 23 與該導電跡線層 40 上的鉚線部 41，此外，該形成於第一表面 11 上之第一封裝膠體 31 係用以包覆該晶片 20，而該形成於第二表面 12 上且較少量之第二封裝膠體 32 則係用以包覆該鉚線 45，並使未受該第二封裝膠體 32 包覆的多數植球部 42 植接相對應之多數鉚球 50。

前述之基板 10 的第一表面 11 與第二表面 12 上，係如圖所示分別敷設有一第一拒鉚劑 (Solder Mask) 層 43 與一第二拒鉚劑層 44，其中，該晶片 20 係接置於該第一拒鉚劑層 43 之上，以令該第一封裝膠體 31 完全包覆該晶片 20 與該第一拒鉚劑層 43，而該第二拒鉚劑層 44 係敷設於該導電跡線

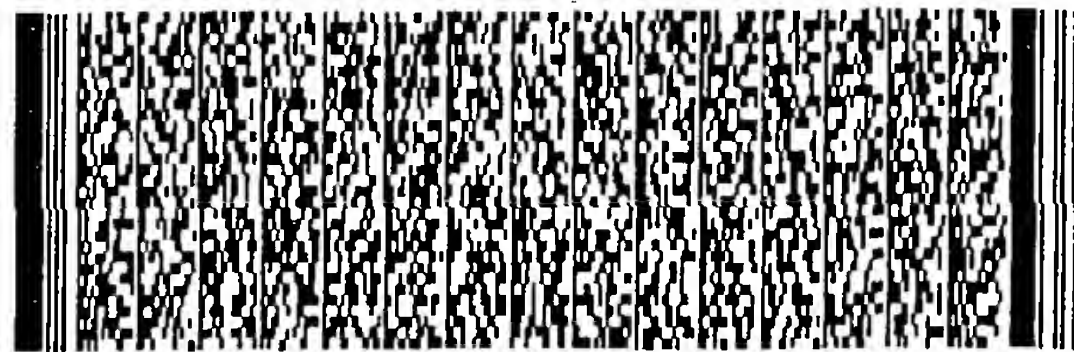
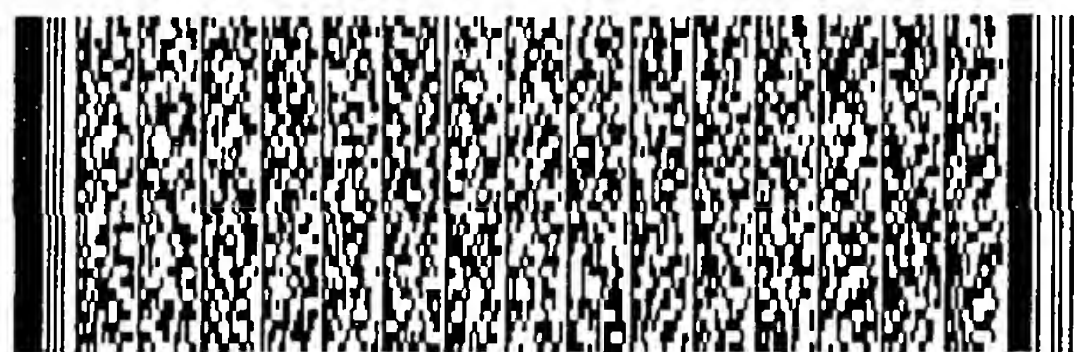


五、發明說明 (8)

層 40 上，而形成有多數個陣列式開孔以外露出該多數個植球部 42，並可用以植接相對應之錫球 50，此外，該第二拒錫劑層 44 另於其中央位置形成有一開口 44a，以外露出該基板之通孔 13 及佈設於該通孔 13 周圍之錫線部 41，且該開口 44a 之寬度 S1 與面積需略大於用以形成該第二封裝膠體 32 之下模穴 73 (見第 3 圖) 的寬度 S2 與面積。

該第二拒錫劑層 44 所形成之開口 44a 的尺寸設計即為本發明之特徵所在，如第 2A、2B 圖所示，其係為該封裝件 1 尚未進行封膠製程之剖視圖與底視圖 (第 2A 圖係自第 2B 圖之 A-A 方向所視)，相較於第 5B 圖之習知技術，可知本發明所設計之第二拒錫劑層開口 44a 寬度 S1 係較習知封裝件為大，而使該對應於基板通孔 13 位置之開口 44a 除可外露出該導電跡線層 40 邊緣的錫線部 41 外，另分別外露出該錫線部 41 兩側額外之第二表面 12 與部份導電跡線層 40，以令該第二拒錫劑層 44 的邊緣與該錫線部 41 間餘有一預定距離 w，即如圖所示外露出該第二表面 12 與導電跡線層 40 上的預定外露區域 60；其中，該預定外露區域 60 之寬度 w 大約可設計於 0.2 至 0.8 毫米 (mm) 之間，並以 0.4 毫米 (mm) 為最佳，此一寬度 w 即為前述該第二拒錫劑層 44 邊緣與該錫線部 41 間之預留距離，以使該第二拒錫劑層 44 所形成之開口 44a 具有相當於該基板通孔 13、該兩側錫線部 41、及該兩側預定外露區域 60 之寬度總合的寬度 S1。

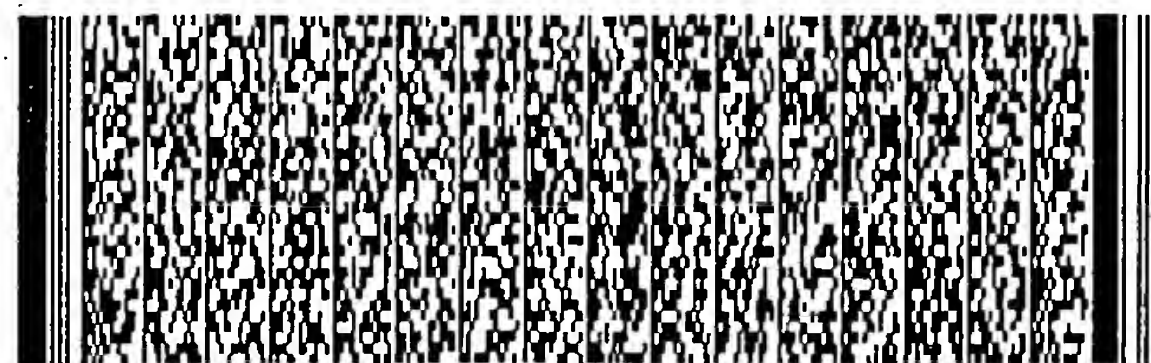
因此，該預定外露區域 60 之設計即可用以防止該基板第二表面 12 上的溢膠污染問題，如第 3 圖所示，當該封裝



五、發明說明 (9)

件 1 進行封膠製程而令該上、下模具 70、71 夾置住該基板 10 時，此時該上、下模具的模穴邊緣 72a、73a 雖然並未對齊，而將使該基板之第二表面 12 的未夾壓 (NC) 區域出現未密合狀況，惟該用以形成第二封裝膠體 32 的下模穴邊緣 73a 將如圖所示，大略貼齊於該鐳線部 41 之位置，因此，前述之預定外露區域 60 將藉由該下模具之表面 71a，而藉其模穴邊緣 73a 被區隔成一狹窄短通道 61，進而可於注膠時形成該第二封裝膠體 32 的流道 61，該流道 61 之尺寸大小係由該導電跡線層 40 (或基板第二表面 12)、該第二拒鐳劑層 44、與該下模具之表面 71a 所定義而出，其流道 61 長度 w 即約略等於前述預定外露區域 60 的寬度 w ，約為 0.2 至 0.8 毫米 (mm) 之間，並以 0.4 毫米 (mm) 為最佳，而其高度 h 則相當於該第二拒鐳劑層 44 之厚度 h ，約在 0.02 至 0.03 毫米 (mm) 之間。

是故，藉由此一於封膠製程中所形成的狹窄流道 61 設計，當該由熱塑性或熱固性樹脂所組成的第二封裝膠體 32 經由注膠而流入該下模具 71 之模穴 73 時，此一諸如聚碳酸酯 (Polycarbonate Ester)、丙烯酸樹脂、聚氯化甲烯或聚酯類 (Polyester) 等樹脂之膠體材料將呈一低雷諾數的黏性流體，當其填充而包覆該鐳線 45，並進入該狹窄流道 61 時，由於該流道 61 相較於該模穴 73 為一口徑急遽縮小的通道，則根據流體力學之理論，此時該黏性流體之黏度將上升而使流速減緩，並造成能量的散逸，因此，該流入狹窄流道 61 中之封裝膠體 32 將近乎停滯於該流道 61 中，

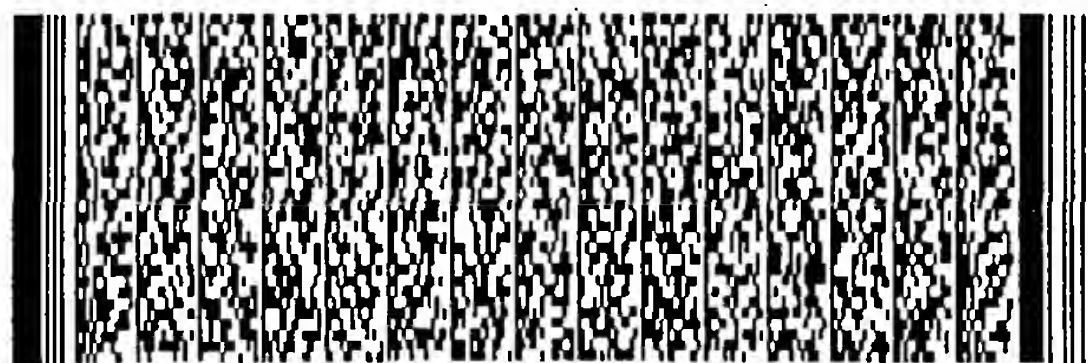
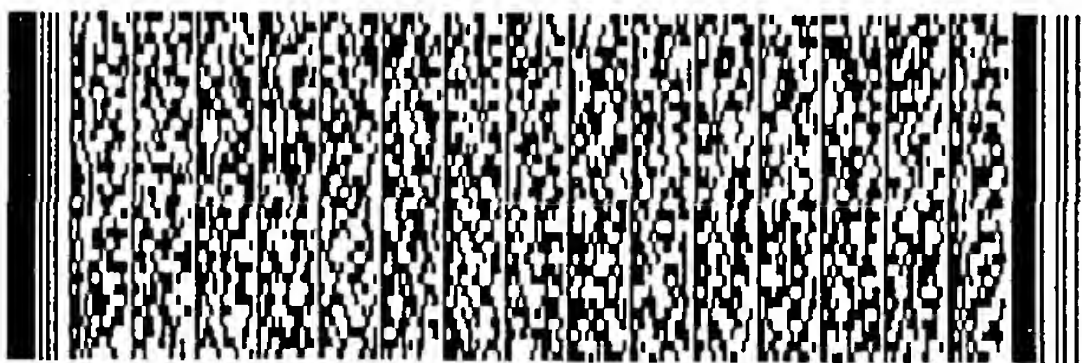


五、發明說明 (10)

而不致溢流入該第二拒鐸劑層 44 與該下模具表面 71a 間的壓合間隙中，自然亦不致於該植球部 42 之周圍產生溢膠污染的習知問題。

而當完成前述封膠製程與植球步驟後，該封裝結構即成為如第 1 圖所示之開窗型球柵陣列半導體封裝件 1，由圖中可看出，當前述之上、下模具 70、71 脫模而移開後，該狹窄流道 61 內將填滿該第二封裝膠體 32，且其填充表面 33 將依該下模具之表面 71a 而近乎對齊於該第二拒鐸劑層 44，因此，相較於第 5C 圖所示產生溢膠之習知半導體封裝件，本發明所填充之第二封裝膠體 32 將包覆該多數鐸線 45 且敷蓋於該預定外露區域 60 上，並於該敷蓋平面 33 之邊緣形成與該下模具之模穴 73 形狀相符的轉折角，此時，該第二拒鐸劑層 44 上將不致有溢流的第二封裝膠體 32。

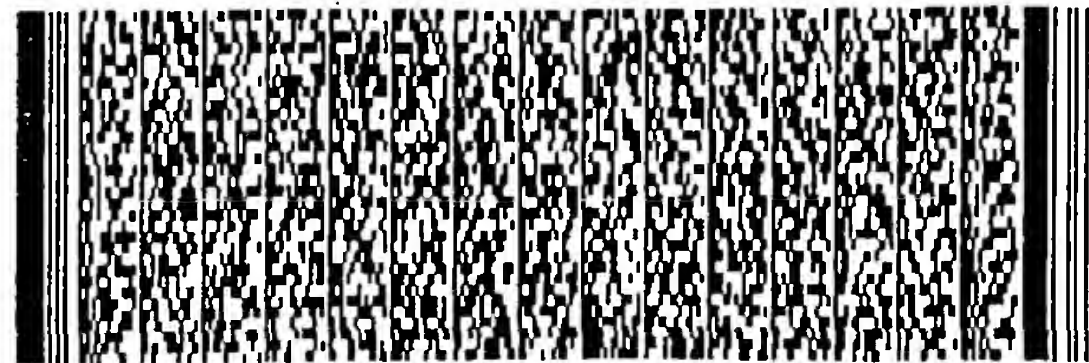
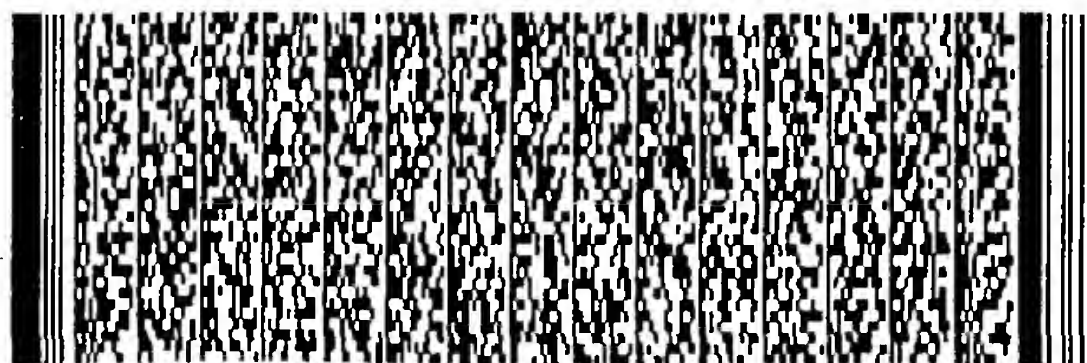
本發明之開窗型球柵陣列半導體封裝件 1 的製法係如第 4A 至 4F 圖所示，其步驟包括：先如第 4A 圖所示製備一基板 10，其係具有一第一表面 11 與一相對之第二表面 12，且其中央係具有一貫穿該基板 10 的通孔 13；復如第 4B 圖所示，於該第二表面 12 上敷設一圖案化之導電跡線層 40，並依線路之佈局定義出多數個呈陣列排列的植球部 42、佈設於該通孔 13 兩側的鐸線部 41、以及位於該鐸線部 41 相對於該通孔 13 之一側的預定外露區域 60，再分別於該第一表面 11 與導電跡線層 40 上敷設一第一拒鐸劑層 43 與第二拒鐸劑層 44，並令該第一拒鐸劑層 43 形成一開口而外露出該基板 10 之通孔 13，令該第二拒鐸劑層 44 外露出該多數個預設之



五、發明說明 (11)

植球部 42，同時，並使該第二拒鐸劑層 44 於該通孔 13 周圍形成一開口 44a，以外露出該通孔 13、該多數個鐸線部 41 與該預定外露區域 60；接著，如第 4C 圖，製備一晶片 20，以將其作用表面 21 朝下接置於該基板 10 之第一表面 11 上並覆蓋住該通孔 13 之一端，而令該作用表面 21 上之電性區 23 外露於該通孔 13 中；再如第 4D 圖所示，形成多數穿過該通孔 13 之鐸線 45，以電性連接該晶片 20 之電性區 23 與其所對應之鐸線部 41；第 4E 圖所示即為本製法中之封膠製程，其係以圖示之上、下模具 70、71 夾置該基板 10，以令該晶片 20 與該第一拒鐸劑層 43 容設於該上模具 70 之模穴 72 中，令該鐸線 45 容設於該下模具 71 之模穴 73 中，並注入一封裝膠體 31、32，而令形成於該第一表面 11 上之第一封裝膠體 31 包覆該晶片 20，令形成於該第二表面 12 上之第二封裝膠體 32 包覆該鐸線 45，其中，該預定外露區域 60 將藉由該下模具之表面 71a 與該導電跡線層 40 而形成一狹窄流道 61，以令該第二封裝膠體 32 流入該流道 61 而黏滯於中；最後，當前述封膠製程完成且該封裝膠體 31、32 均已固化之後，即可如第 4F 圖所示，進行脫模而植設多數個鐸球 50 於其所對應之植球部 42 上，並如圖所示，於該預定外露區域 60 上形成敷蓋之第二封裝膠體 32，而成為一可防止溢膠的開窗型球柵陣列半導體封裝件 1。

因此，本發明即係利用敷設該第二拒鐸劑層 44 時，藉由預先之設計，使其較習知技術額外外露出一具有預定尺寸的外露區域 60，而可於後續封膠製程中形成一狹窄流道

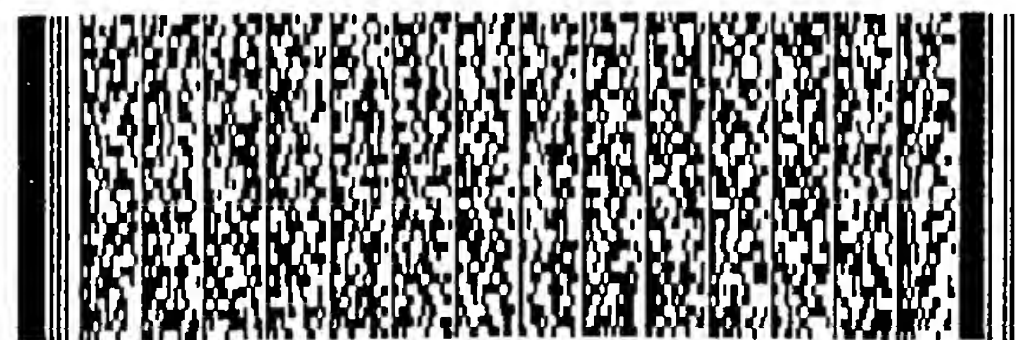
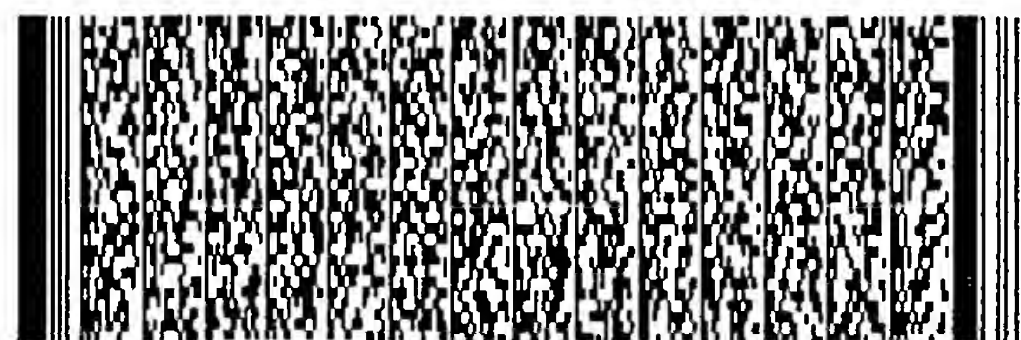


五、發明說明 (12)

61，以避免封裝膠體 32 因上、下模具 70、71 的夾壓位置不同而溢膠至該植球部 42 上，惟該預定外露區域 60 與狹窄流道 61 的位置或尺寸並非僅如前述實施例所揭示，亦可改變該第二拒錫劑層 44 之開口 44a 以變化其設計區域，例如令該開口 44a 之邊緣為波浪形的非直線邊緣，僅需令該第二拒錫劑層 44 之開口 44a 寬度 $S1$ 略大於該下模具之模穴 73 寬度 $S2$ ，而使該第二拒錫劑層 44 之邊緣與該下模具 71 的模穴邊緣 73a 具有一距離間隔 w ，而可於該封膠製程中圍置成一狹窄流道 61 即可。

綜上所述，本發明之可防止溢膠之開窗型球柵陣列半導體封裝件及其製法與用於該半導體封裝件之晶片承載件，確具有避免溢膠污染之功效，而可提昇其電性連接與傳輸品質，同時兼可顧及該封裝件的表面平整度與乾淨外觀，充分解決習知封裝件及製法的問題。

惟以上所述者，僅為本發明之具體實施例而已，並非用以限定本發明之範圍，舉凡熟習此項技藝者在本發明所揭示之精神與原理下所完成的一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第 1 圖係本發明之開窗型球柵陣列半導體封裝件的較佳實施例剖視圖；

第 2A 圖係本發明之半導體封裝件於封膠製程前之剖視圖；

第 2B 圖係本發明之半導體封裝件於封膠製程前之底視圖；

第 3 圖係本發明之半導體封裝件於進行封膠製程時之剖視圖；

第 4A 至 4F 圖係本發明之半導體封裝件的製法流程圖；

第 5A 圖係習知開窗型球柵陣列半導體封裝件之剖視圖；

第 5B 圖係習知開窗型球柵陣列半導體封裝件於進行封膠製程時之剖視圖；

第 5C 圖係係習知開窗型球柵陣列半導體封裝件於封膠製程中產生溢膠現象之剖視圖；以及

第 5D 圖係係習知開窗型球柵陣列半導體封裝件於封膠製程中產生溢膠現象之底視圖。

1 半導體封裝件

10 基板

11 第一表面

12 第二表面

13 基板通孔

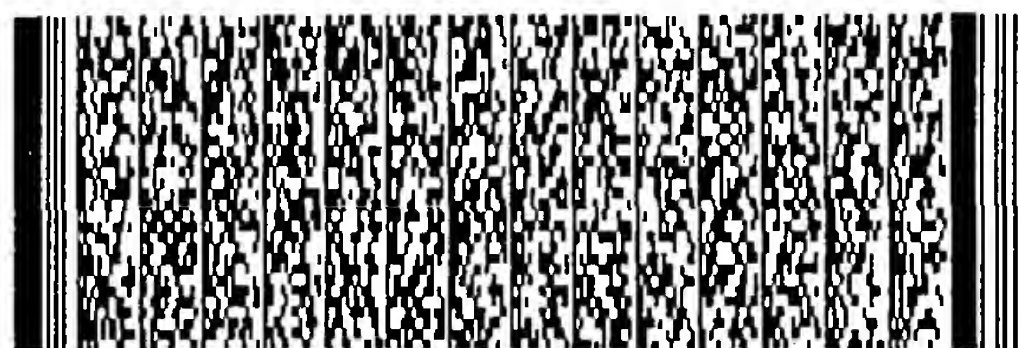
20 晶片

21 作用表面

22 非作用表面

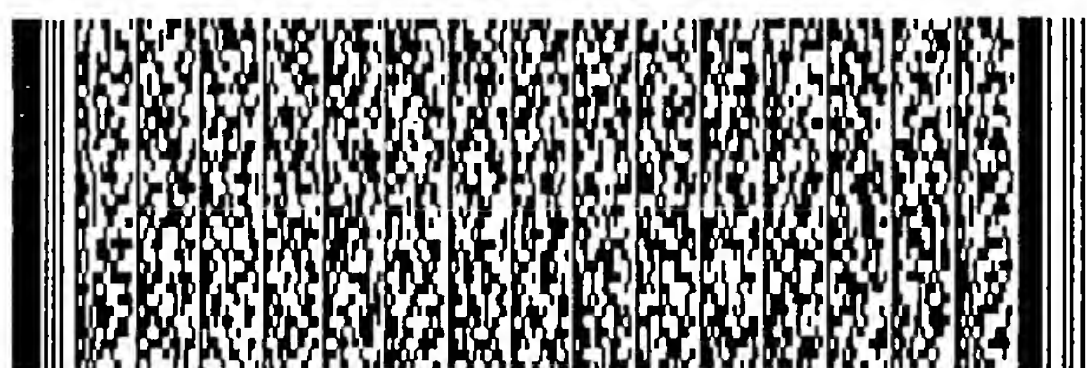
23 電性區

31 第一封裝膠體



圖式簡單說明

32	第二封裝膠體	33	敷蓋表面
40	導電跡線層	41	鐳線部
42	植球部	43	第一拒鐳劑層
44	第二拒鐳劑層	44a	開口
45	鐳線	50	鐳球
60	預定外露區域	61	流道
70	上模具	71	下模具
72	上模穴	72a	上模穴邊緣
73	下模穴	73a	下模穴邊緣
80	基板	81	上表面
82	下表面	83	通孔
84	鐳線位置	85	植球位置
86	晶片	86a	作用表面
87	鐳墊	88	鐳線
90	第一封裝膠體	91	第二封裝膠體
92	鐳球	93	上模具
93a	上模穴	94	下模具
94a	下模穴	95	模具組
w	預定外露區域寬度	h	流道高度
f	溢膠現象	S1	開口寬度
S2	下模穴寬度	NC	未夾壓區域



六、申請專利範圍

1. 一種可防止溢膠之開窗型球柵陣列半導體封裝件製法，其步驟係包括：

製備一芯層，係具有一第一表面與一相對之第二表面，且具有一貫穿該芯層之通孔，並於該第二表面上定義出多數個鐳線部與植球部，以及位於該鐳線部相對於該通孔之一側的預定外露區域；

於該第二表面上敷設一拒鐳劑層，並令該多數個植球部外露出該拒鐳劑層外，同時，該拒鐳劑層係形成一開口以外露出該通孔、該多數個鐳線部與該預定外露區域；

製備至少一晶片，以將該晶片接置於該芯層之第一表面並覆蓋該通孔之一端，而令該晶片部份外露於該通孔中；

形成多數穿過該通孔之鐳線，以電性連接該晶片與該鐳線部；

進行一封膠製程，以於該芯層之第一表面上形成包覆該晶片的第一封裝膠體，於該芯層之第二表面上形成包覆該鐳線的 second 封裝膠體，其中，該預定外露區域將於該封膠製程中形成該 second 封裝膠體的狹窄流道；以及

植設多數個鐳球於該植球部上。

2. 如申請專利範圍第 1 項之製法，其中，該預定外露區域之寬度係位於 0.2 至 0.8 毫米 (mm) 之間。
3. 如申請專利範圍第 1 項之製法，其中，該預定外露區域



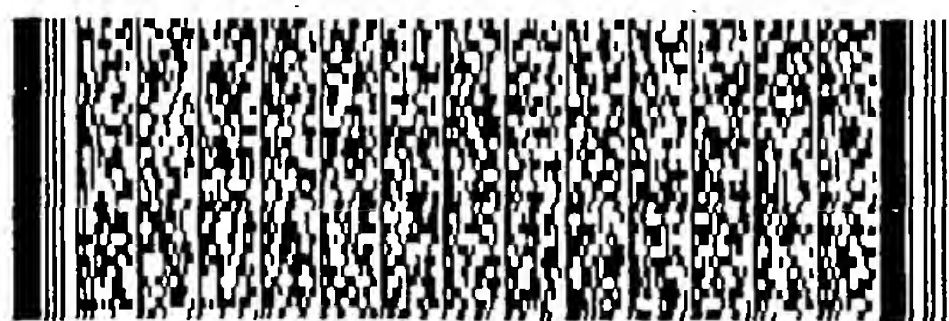
六、申請專利範圍

之寬度係以 0.4 毫米 (mm) 為最佳。

4. 如申請專利範圍第 1 項之製法，其中，該預定外露區域係鄰接於該鐳線部。
5. 如申請專利範圍第 1 項之製法，其中，該拒鐳劑層之開口寬度係略大於用以形成該第二封裝膠體之模具的模穴寬度。
6. 如申請專利範圍第 1 項之製法，其中，該第二封裝膠體係可填充於該狹窄流道中，而令該預定外露區域上所敷蓋之第二封裝膠體厚度約等於該拒鐳劑層之厚度。
7. 如申請專利範圍第 1 項之製法，其中，該製法復包括於該芯層之第二表面與該拒鐳劑層間敷設一圖案化的導電跡線層。
8. 如申請專利範圍第 1 項之製法，其中，該製法復包括於該芯層之第一表面與該晶片間敷設一拒鐳劑層。
9. 如申請專利範圍第 1 項之製法，其中，該晶片係以其作用表面接置於該芯層之第一表面上。
10. 一種可防止溢膠之開窗型球柵陣列半導體封裝件，係包括：

芯層，係具有一第一表面與一相對之第二表面，且具有一貫穿該芯層之通孔，其中，該第二表面上係定義有多數個鐳線部與植球部，以及位於該鐳線部相對於該通孔之一側的預定外露區域；

至少一晶片，係接置於該芯層之第一表面並覆蓋該通孔之一端，而令該晶片部份外露於該通孔中；



六、申請專利範圍

拒錒劑層，係敷設於該芯層之第二表面上，而令該多數個植球部外露出該拒錒劑層外，同時，該拒錒劑層係形成一開口以外露出該通孔、該多數個錒線部與該預定外露區域；

多數錒線，係穿過該通孔以電性連接該晶片與該錒線部；

封裝膠體，係於該芯層之第一表面上形成第一封裝膠體以包覆該晶片，並於該芯層之第二表面上形成第二封裝膠體以包覆該錒線且敷蓋於該預定外露區域上；以及

多數錒球，係植設於該植球部上。

11.如申請專利範圍第10項之半導體封裝件，其中，該預定外露區域之寬度係位於0.2至0.8毫米(mm)之間。

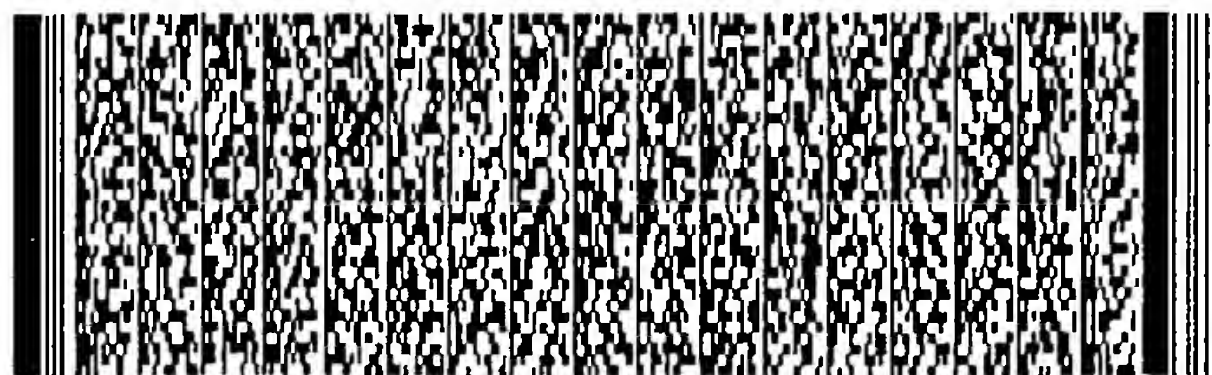
12.如申請專利範圍第10項之半導體封裝件，其中，該預定外露區域之寬度係以0.4毫米(mm)為最佳。

13.如申請專利範圍第10項之半導體封裝件，其中，該預定外露區域係鄰接於該錒線部。

14.如申請專利範圍第10項之半導體封裝件，其中，該拒錒劑層之開口寬度係略大於用以形成該第二封裝膠體之模具的模穴寬度。

15.如申請專利範圍第10項之半導體封裝件，其中，該預定外露區域上所敷蓋之第二封裝膠體厚度係約等於該拒錒劑層之厚度。

16.如申請專利範圍第10項之半導體封裝件，其中，該半



六、申請專利範圍

導體封裝件復包括敷設於該芯層之第二表面與該拒鐸劑層間的圖案化導電跡線層。

17. 如申請專利範圍第10項之半導體封裝件，其中，該半導體封裝件復包括敷設於該芯層之第一表面與該晶片間的拒鐸劑層。

18. 如申請專利範圍第10項之半導體封裝件，其中，該晶片係以其作用表面接置於該芯層之第一表面上。

19. 一種用於可防止溢膠之開窗型球柵陣列半導體封裝件的晶片承載件，係包括：

芯層，係具有一第一表面與一相對之第二表面，且具有一貫穿該芯層之通孔；

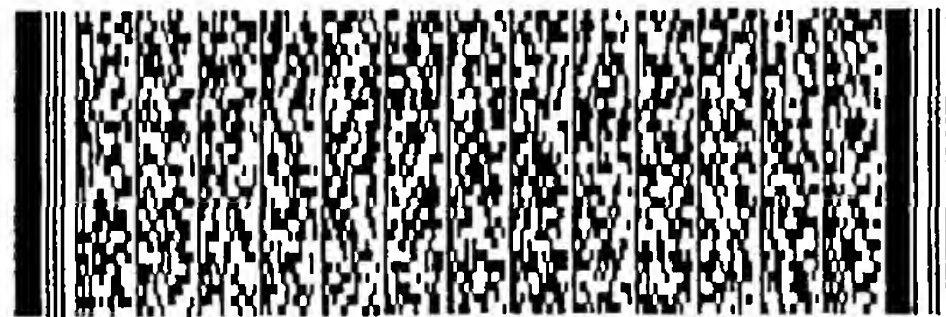
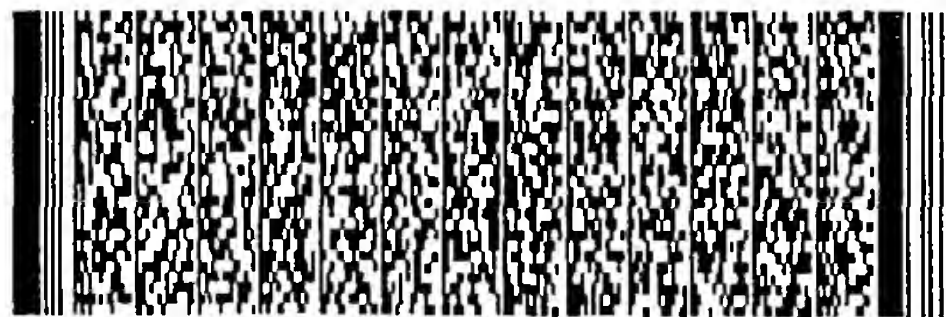
導電跡線層，係敷設於該芯層之第二表面上，且係定義有多數個鐸線部與植球部，以及位於該鐸線部相對於該通孔之一側的預定外露區域；以及

拒鐸劑層，係敷設於該導電跡線層上，而令該多數個植球部外露出該拒鐸劑層外，同時，該拒鐸劑層係形成一開口以外露出該通孔、該多數個鐸線部與該預定外露區域。

20. 如申請專利範圍第19項之晶片承載件，其中，該晶片承載件係為一基板。

21. 如申請專利範圍第19項之晶片承載件，其中，該預定外露區域之寬度係位於0.2至0.8毫米(mm)之間。

22. 如申請專利範圍第19項之晶片承載件，其中，該預定外露區域之寬度係以0.4毫米(mm)為最佳。

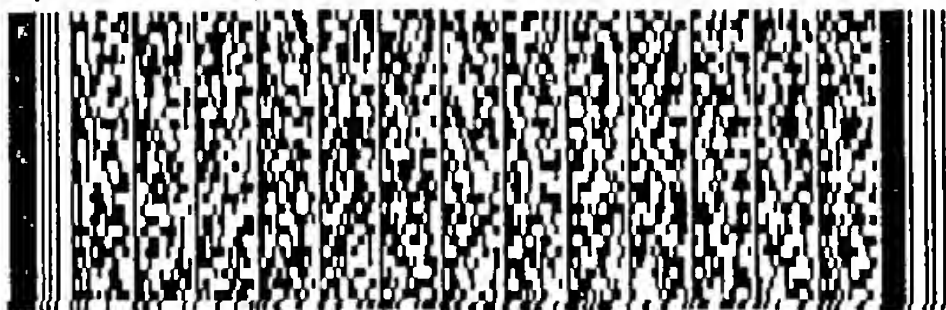


六、申請專利範圍

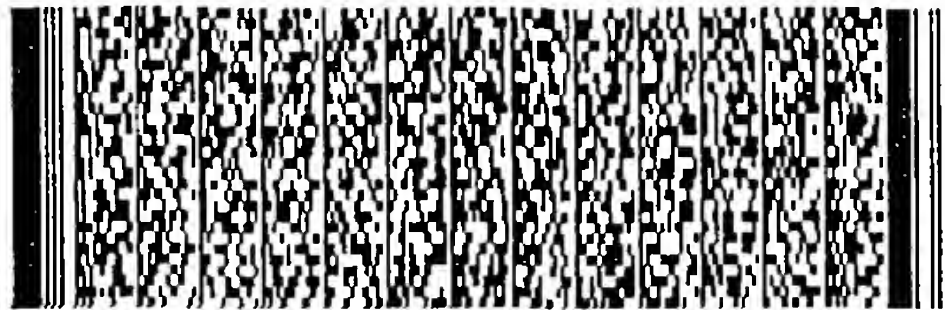
- 23.如申請專利範圍第19項之晶片承載件，其中，該預定外露區域係鄰接於該鐳線部。
- 24.如申請專利範圍第19項之晶片承載件，其中，該晶片承載件復包括敷設於該芯層之第二表面與該拒鐳劑層間的圖案化導電跡線層。
- 25.如申請專利範圍第19項之晶片承載件，其中，該晶片承載件復包括敷設於該芯層之第一表面上的拒鐳劑層。



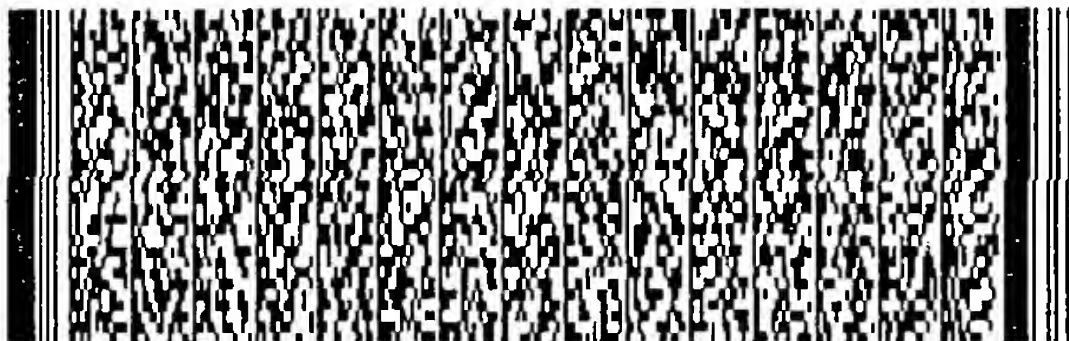
第 1/25 頁



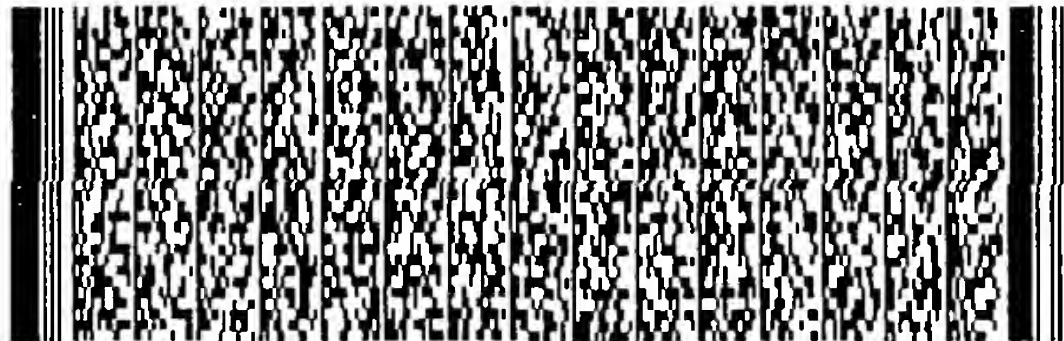
第 1/25 頁



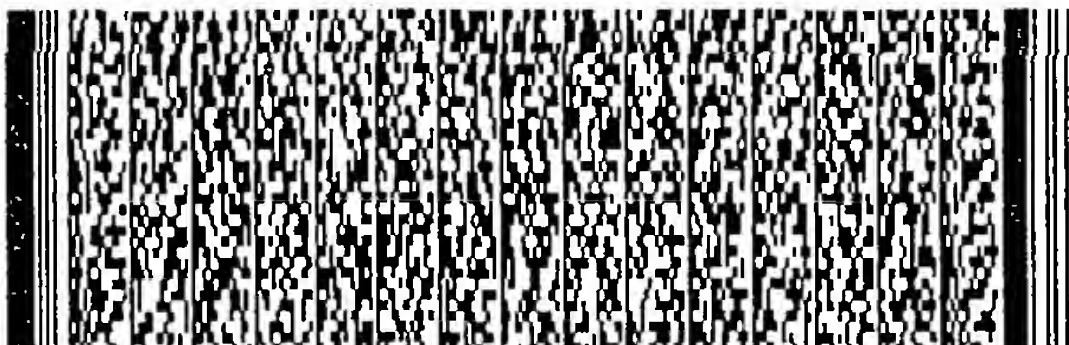
第 2/25 頁



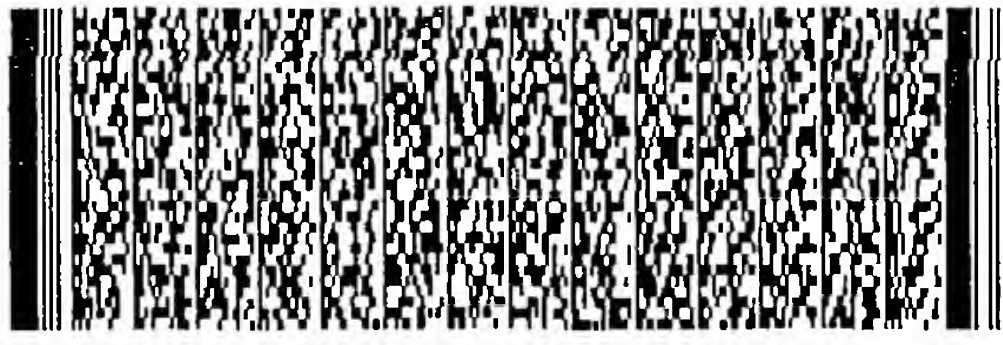
第 2/25 頁



第 3/25 頁



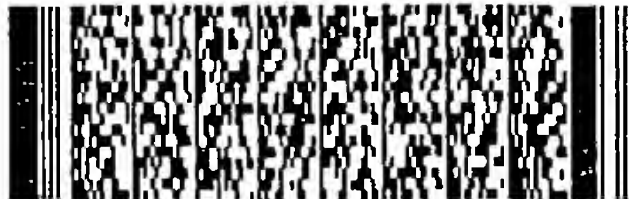
第 4/25 頁



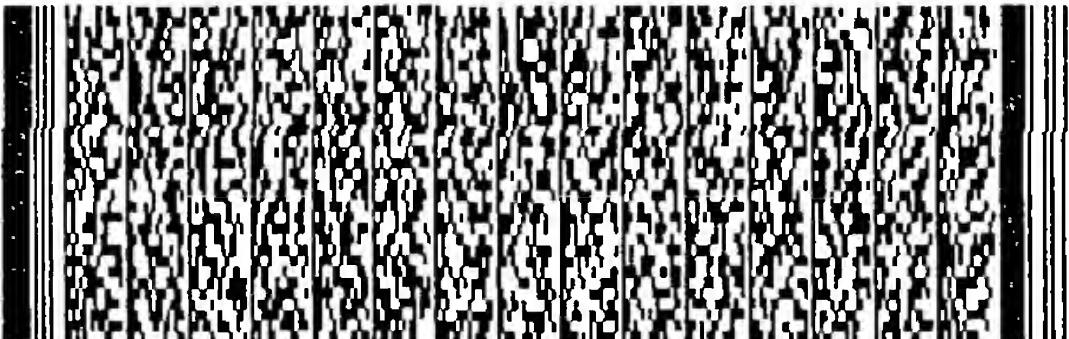
第 5/25 頁



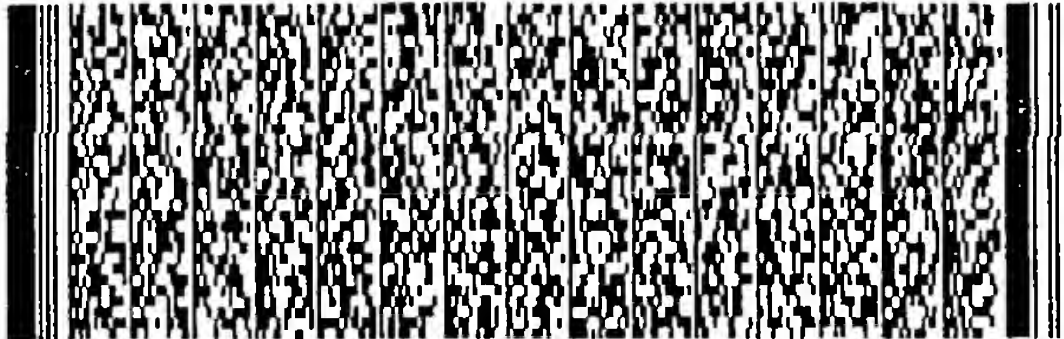
第 6/25 頁



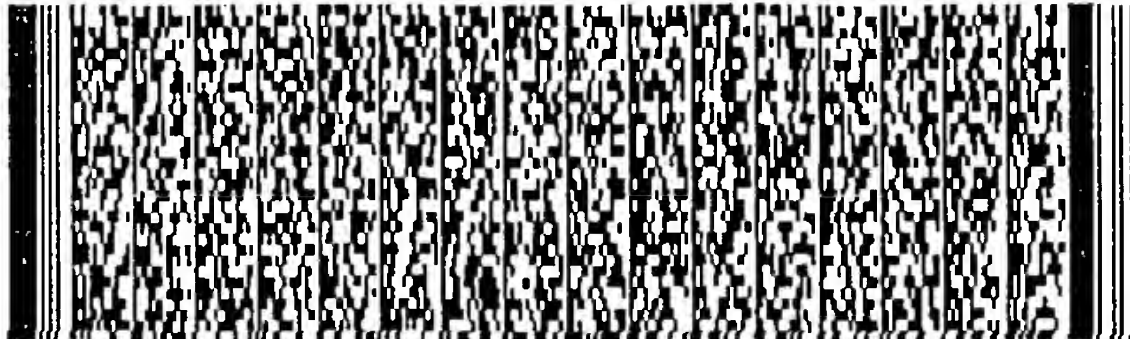
第 7/25 頁



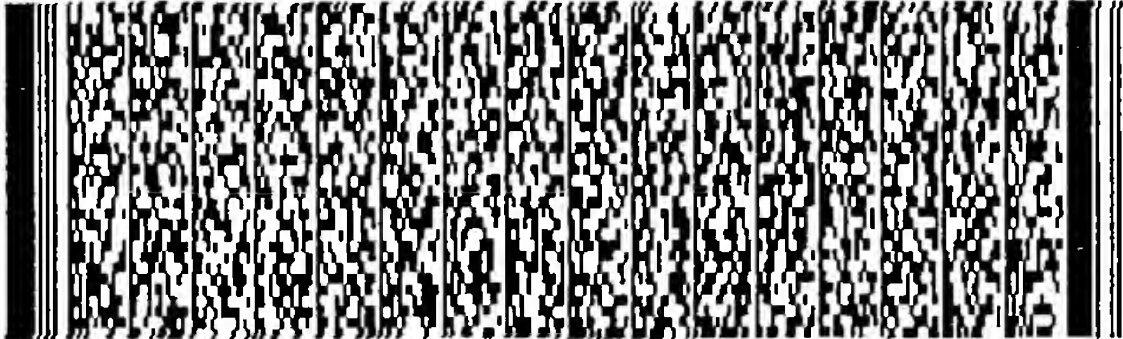
第 7/25 頁



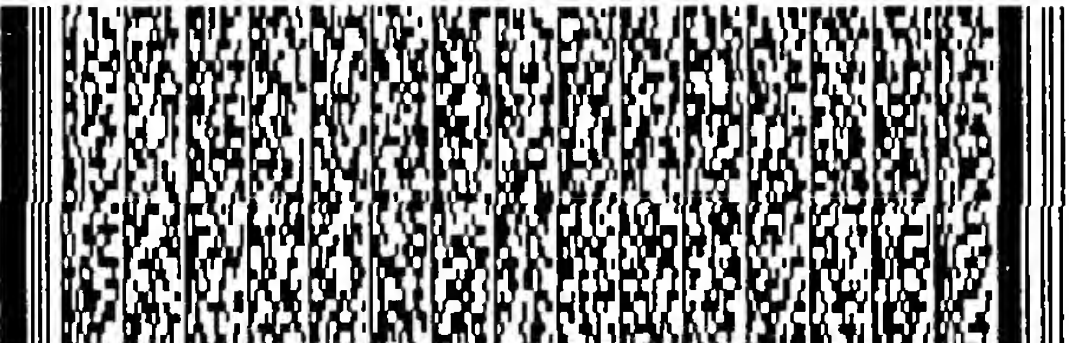
第 8/25 頁



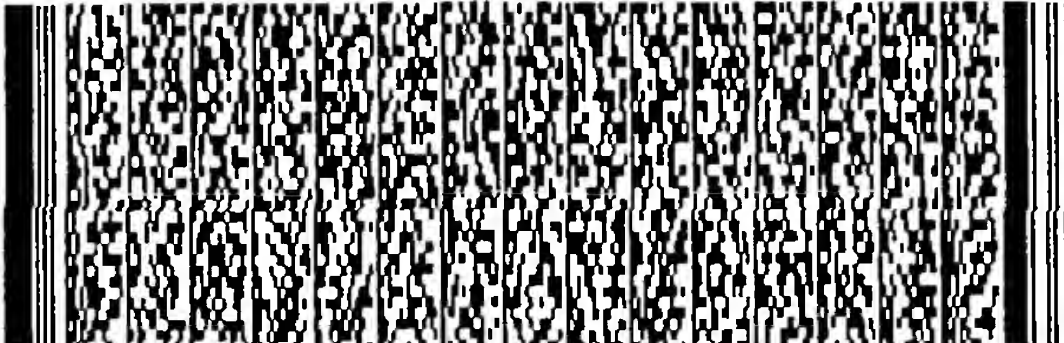
第 8/25 頁



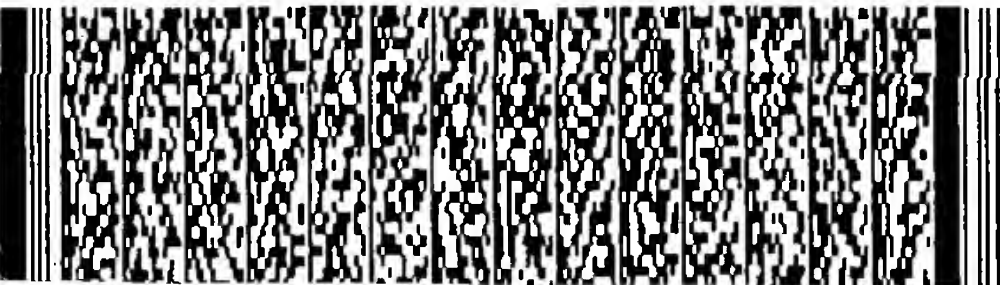
第 9/25 頁



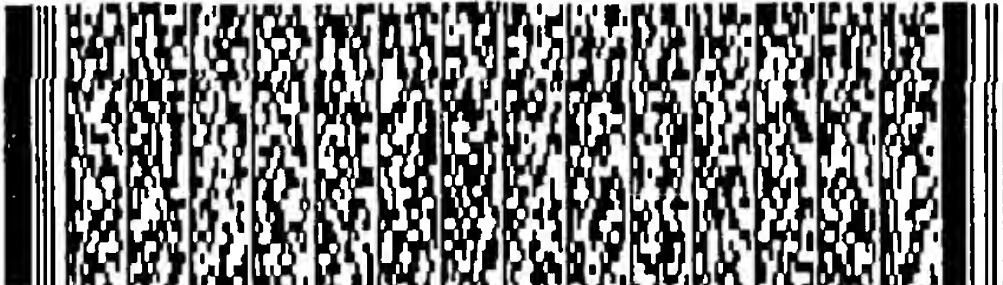
第 9/25 頁



第 10/25 頁



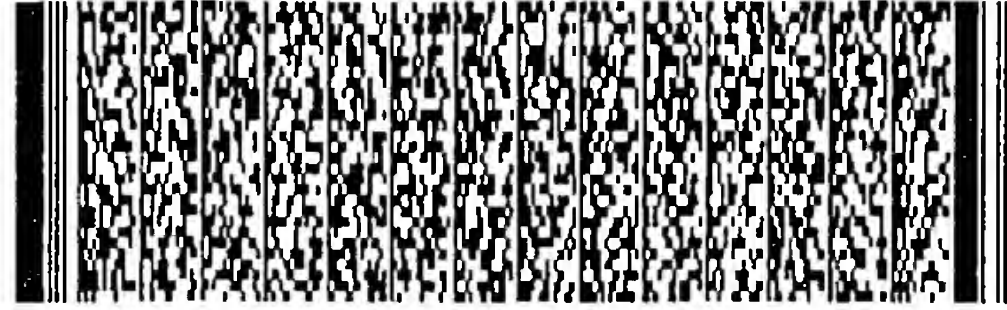
第 10/25 頁



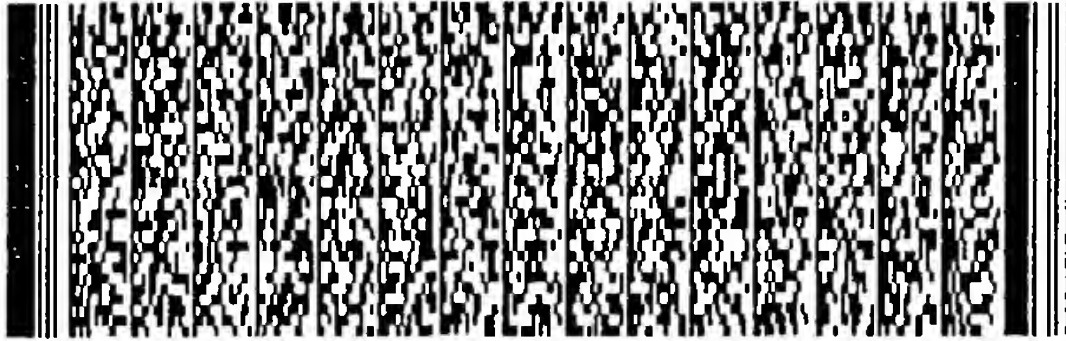
第 11/25 頁



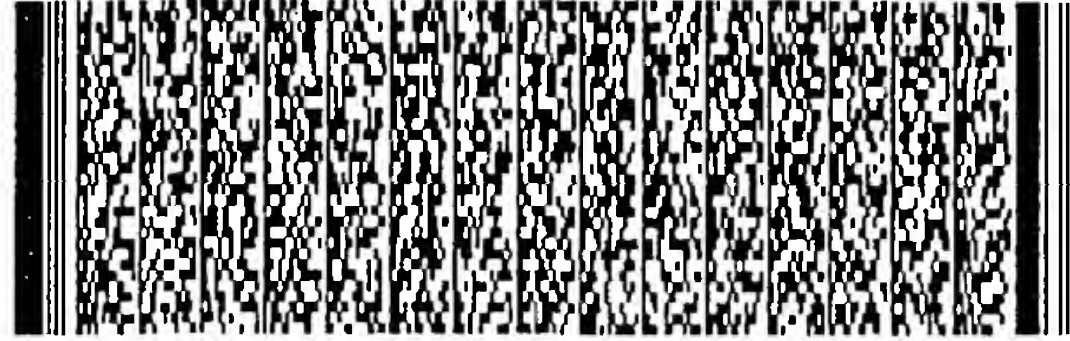
第 11/25 頁



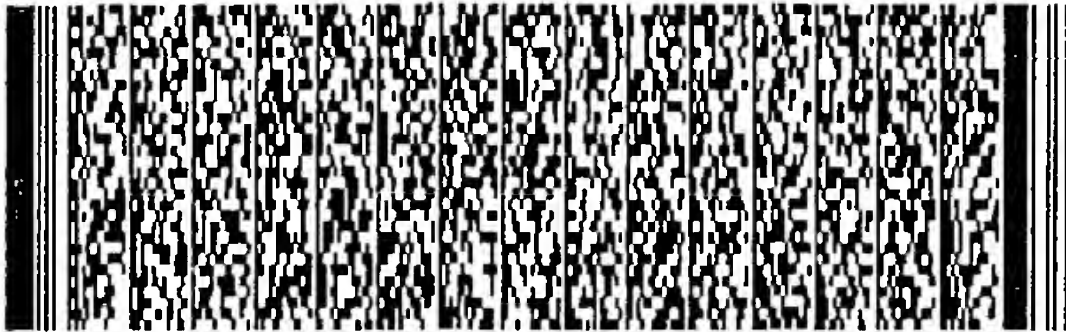
第 12/25 頁



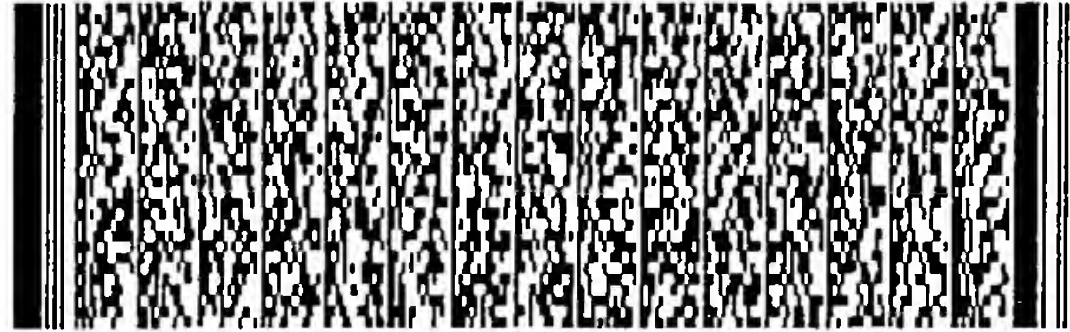
第 12/25 頁



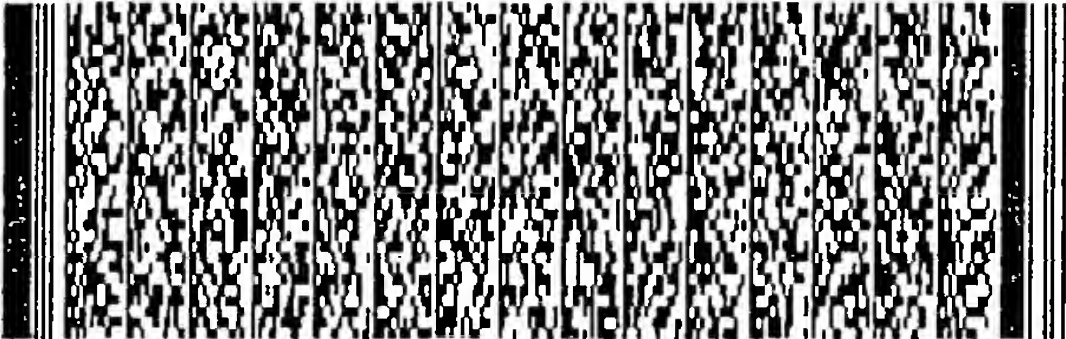
第 13/25 頁



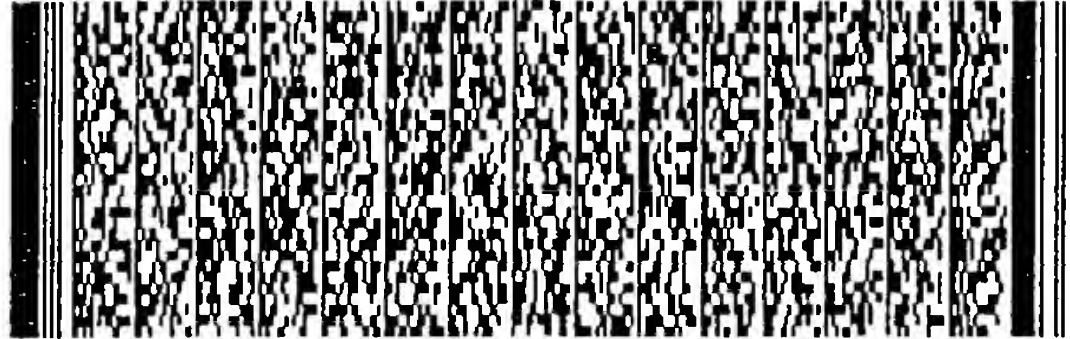
第 13/25 頁



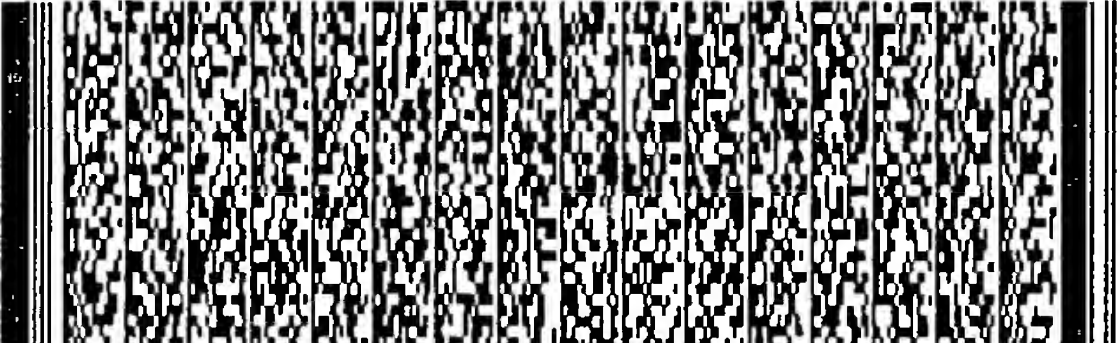
第 14/25 頁



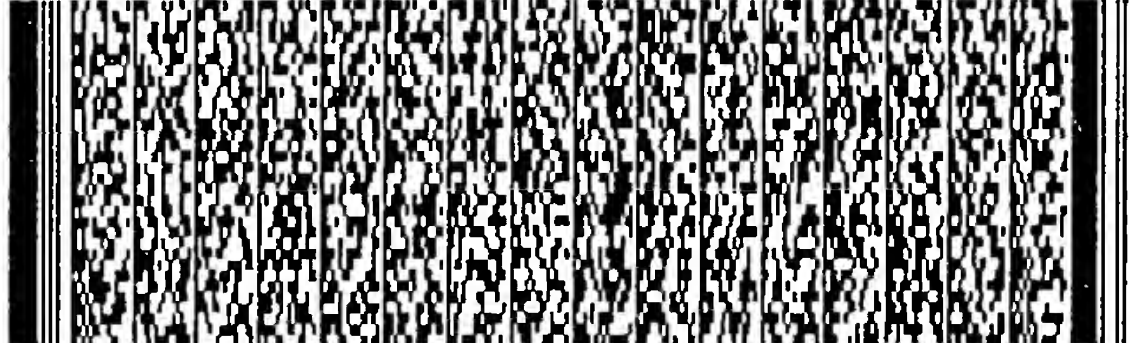
第 14/25 頁



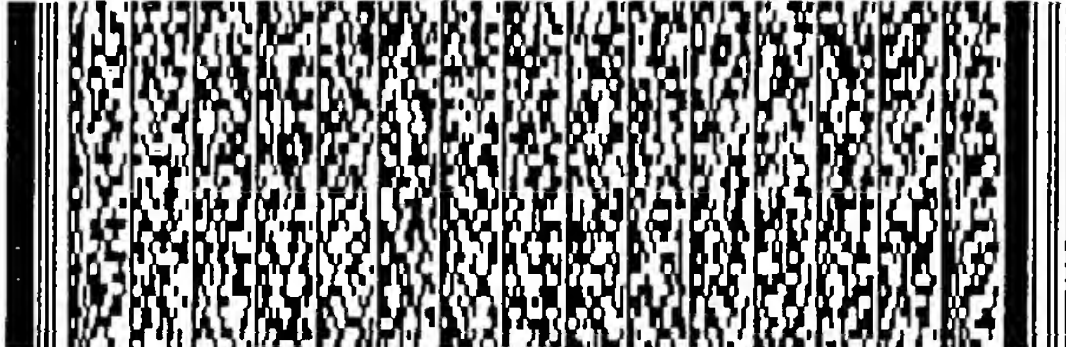
第 15/25 頁



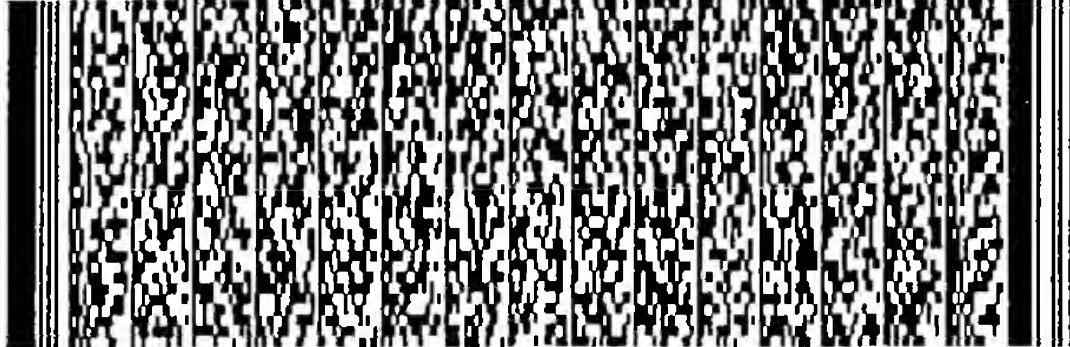
第 15/25 頁



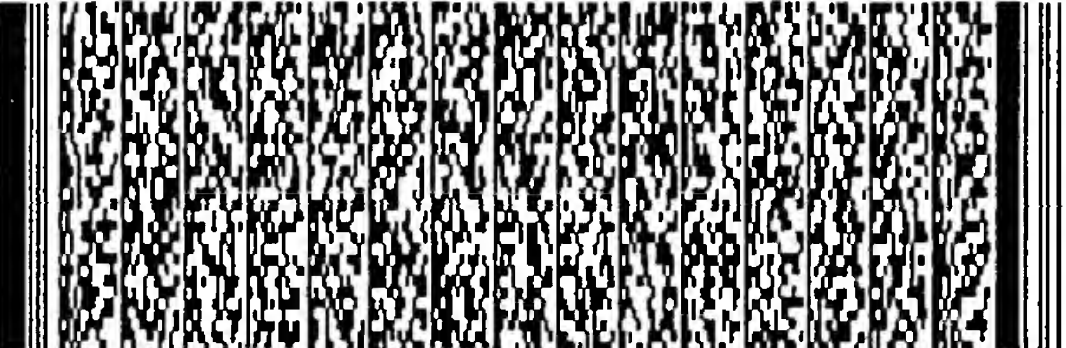
第 16/25 頁



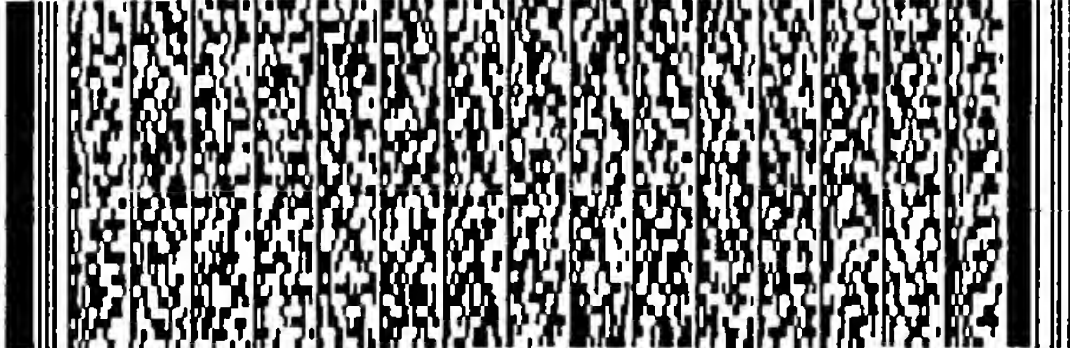
第 16/25 頁



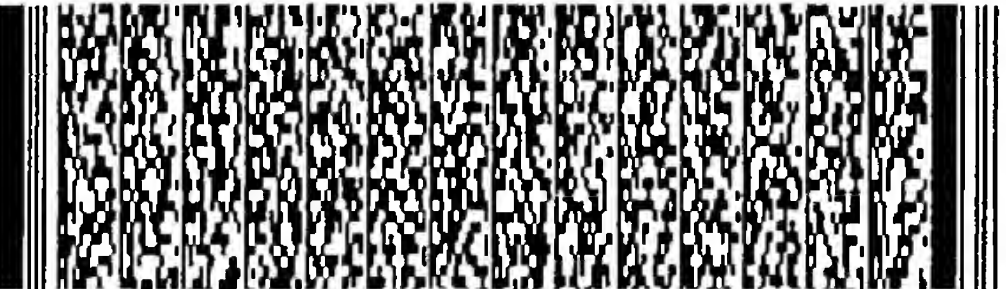
第 17/25 頁



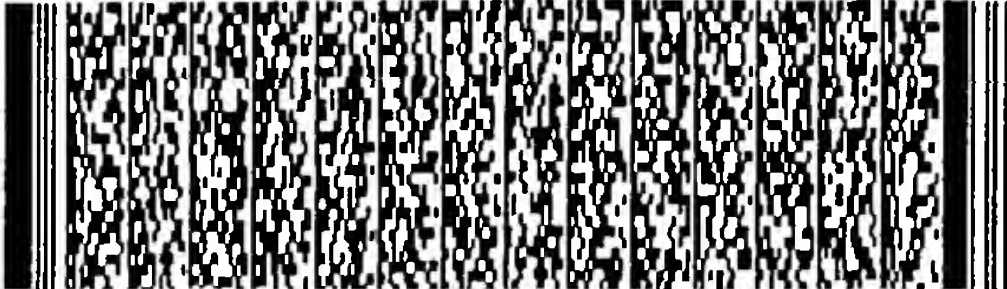
第 17/25 頁



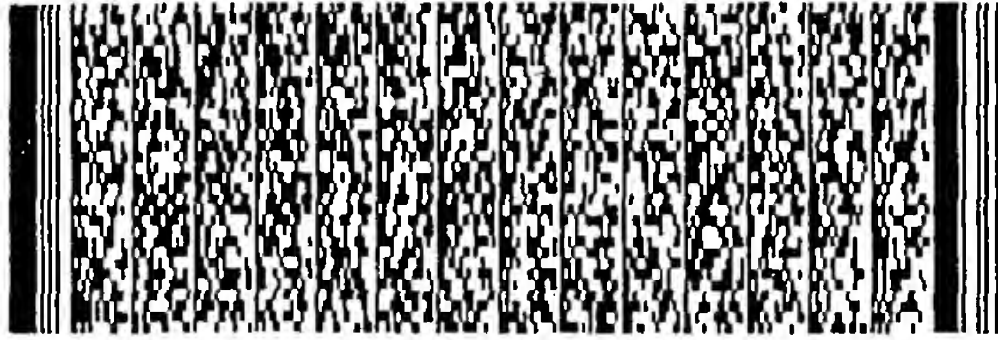
第 18/25 頁



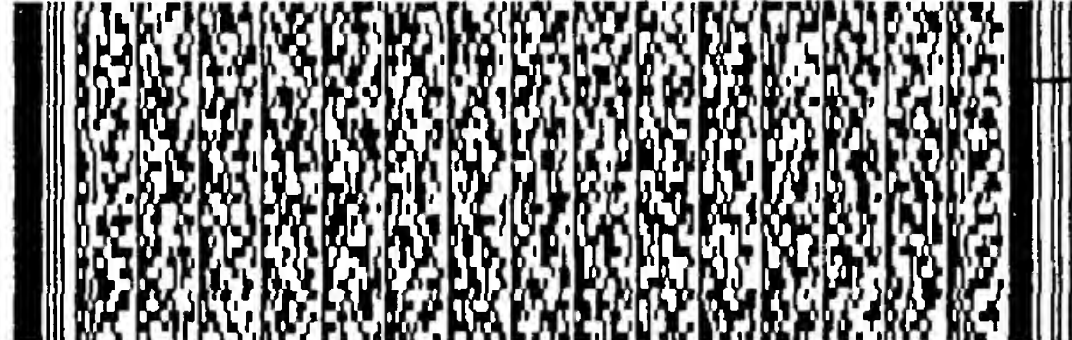
第 18/25 頁



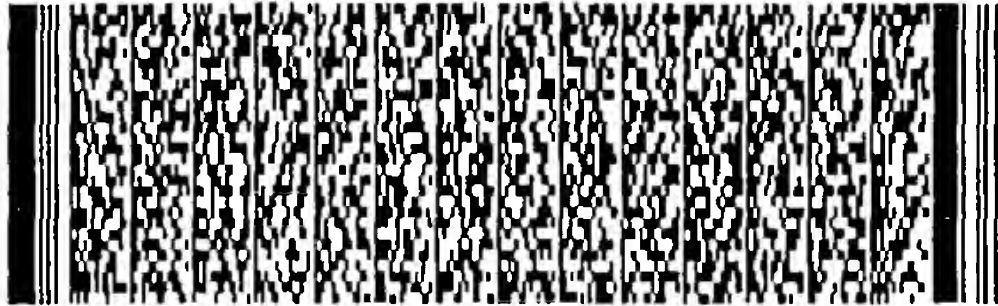
第 19/25 頁



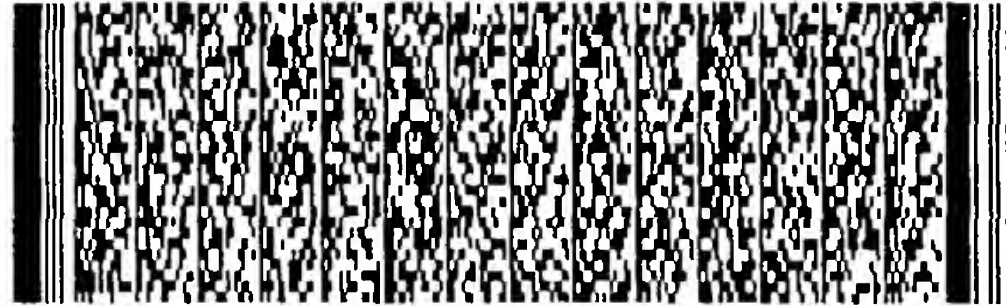
第 20/25 頁



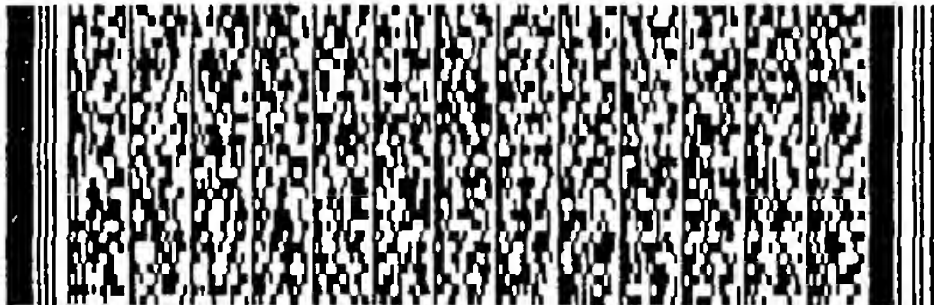
第 21/25 頁



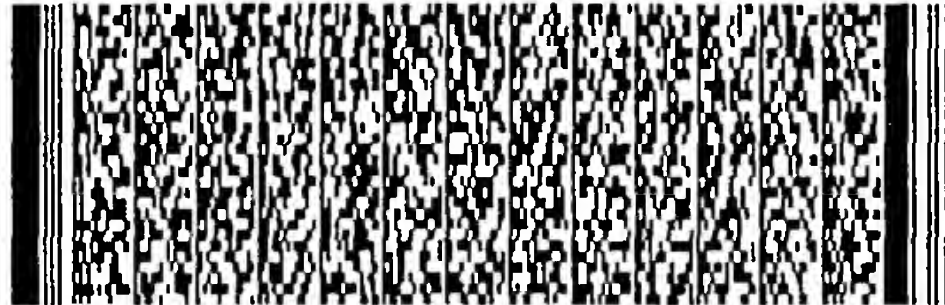
第 21/25 頁



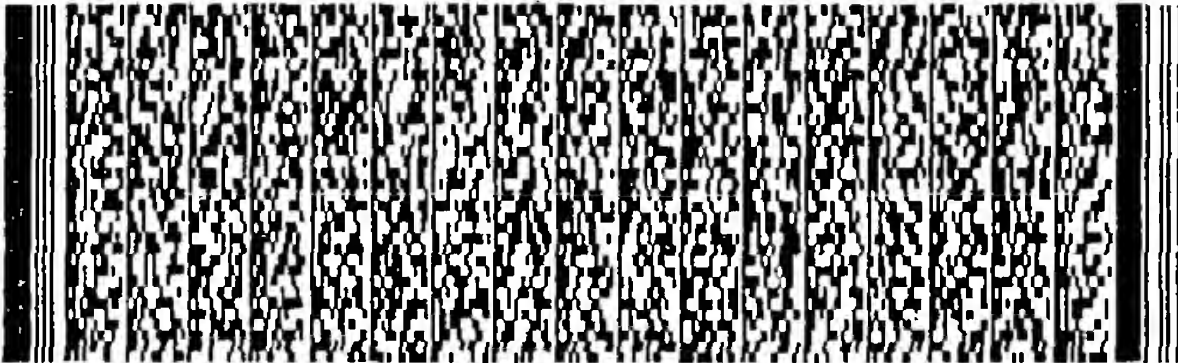
第 22/25 頁



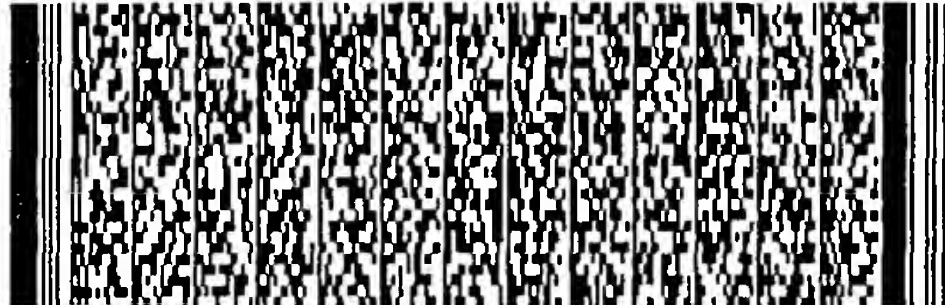
第 22/25 頁



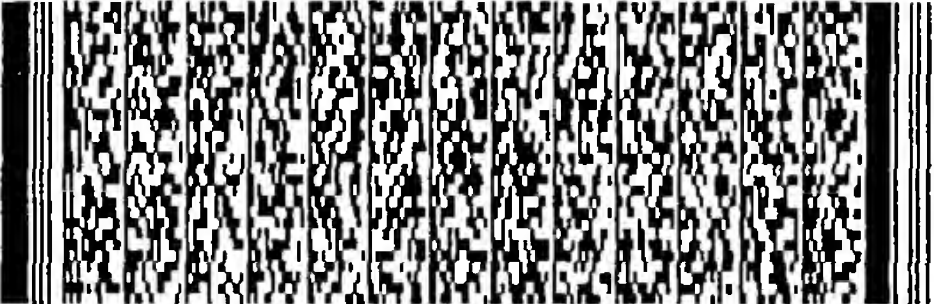
第 23/25 頁



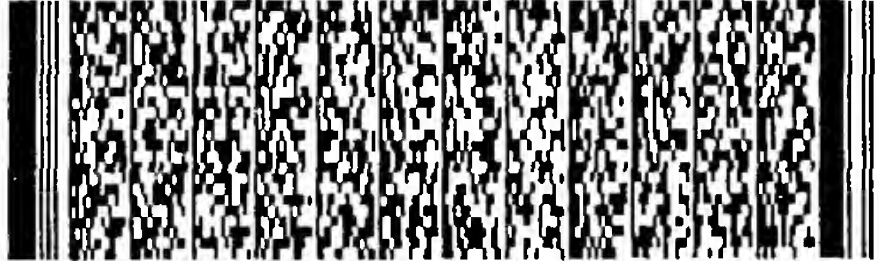
第 24/25 頁

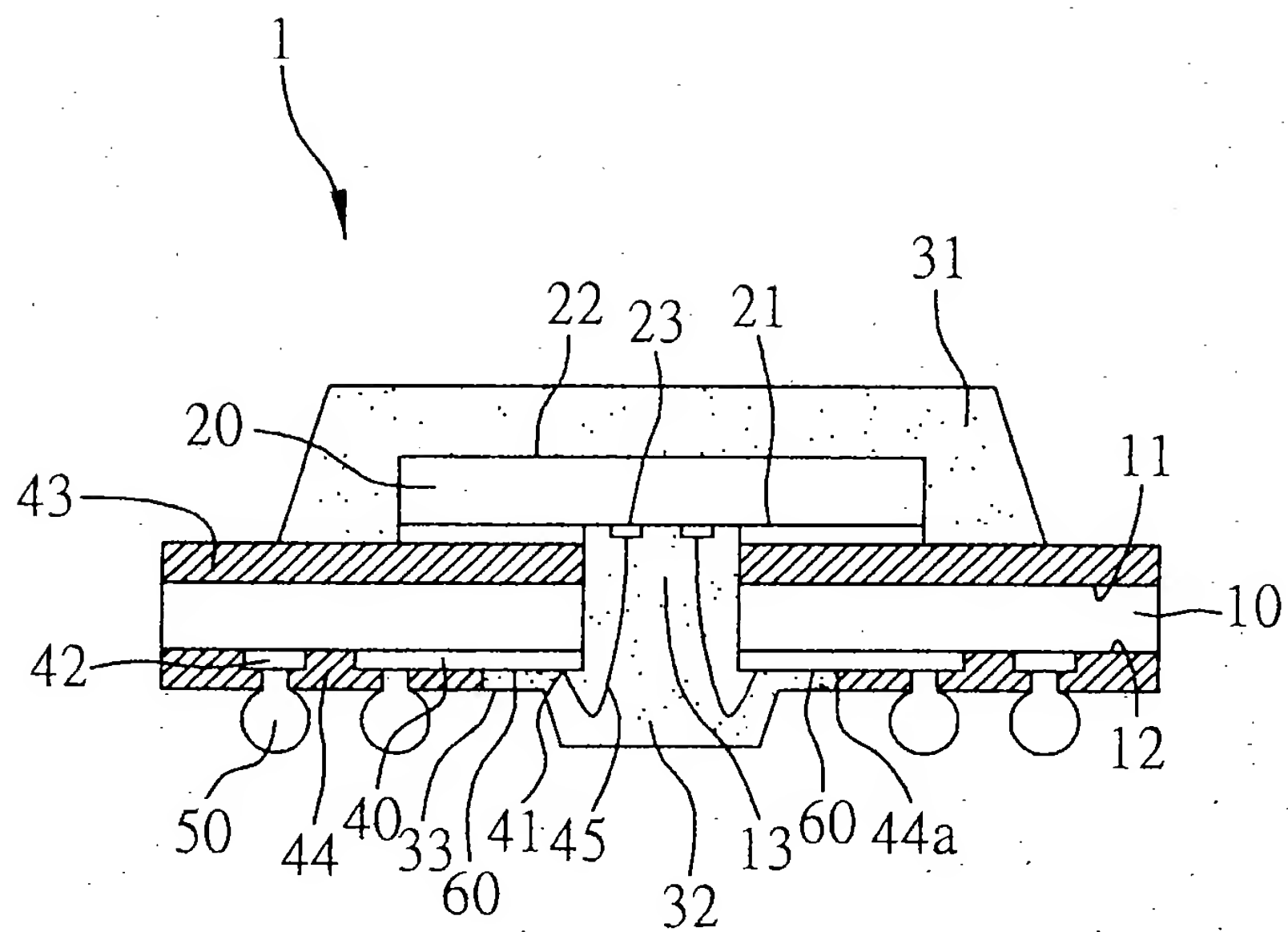


第 24/25 頁

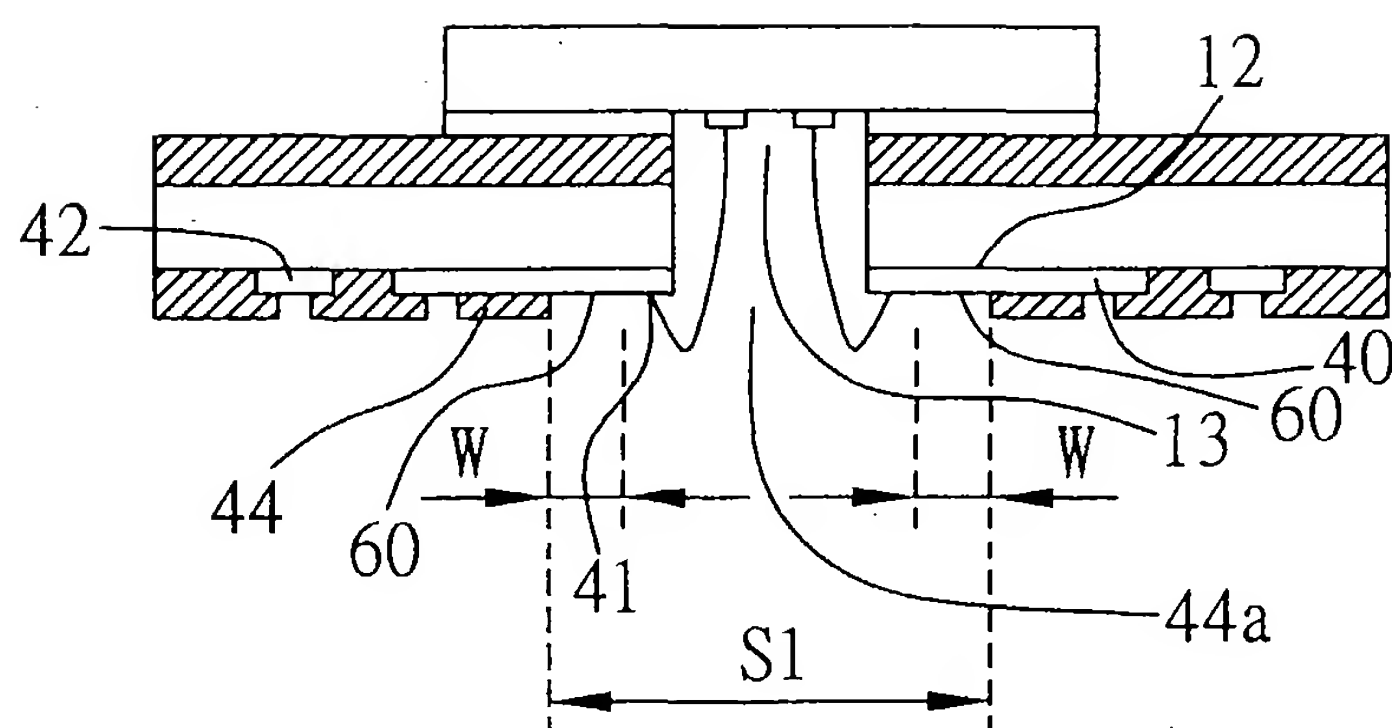


第 25/25 頁

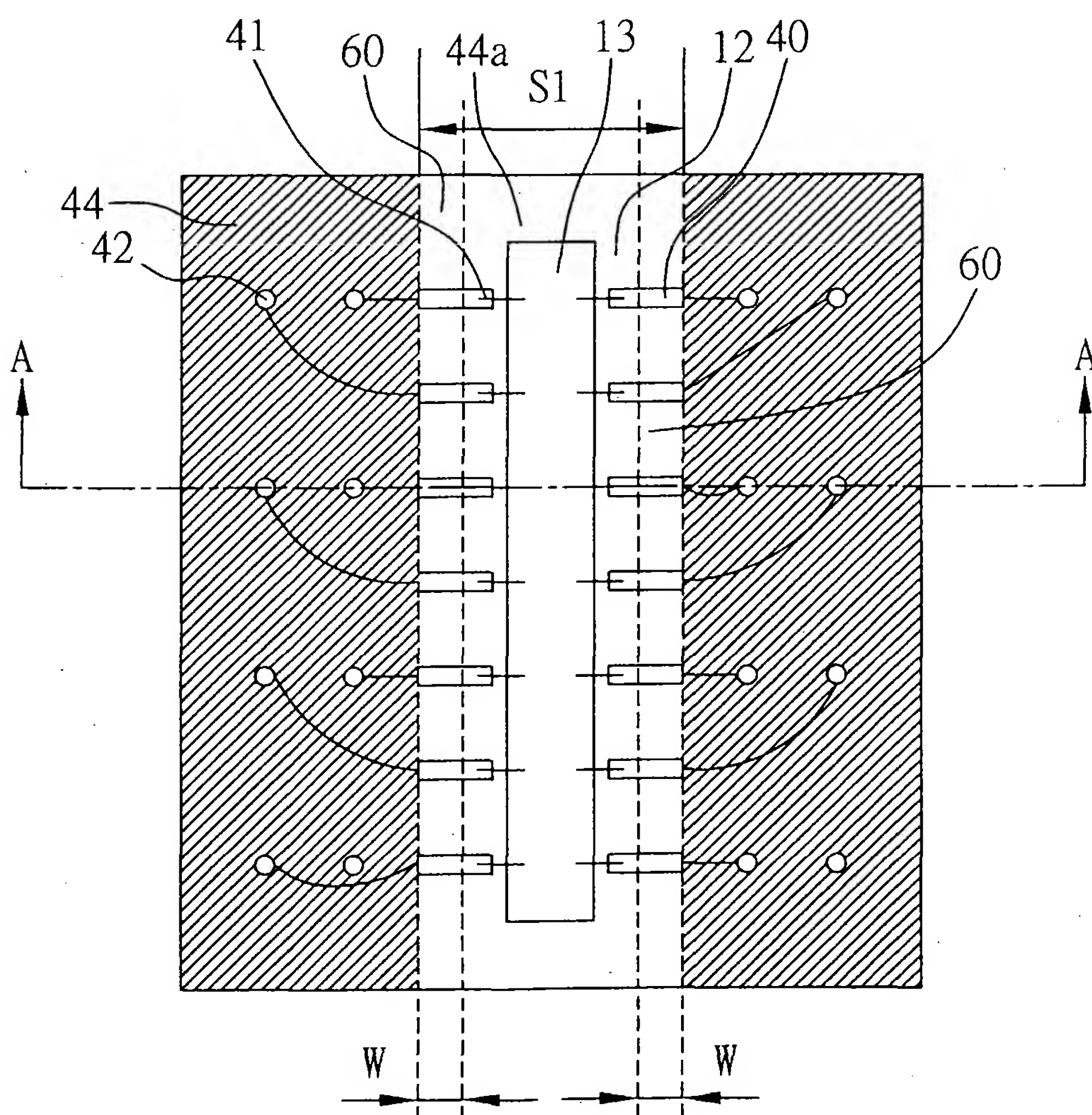




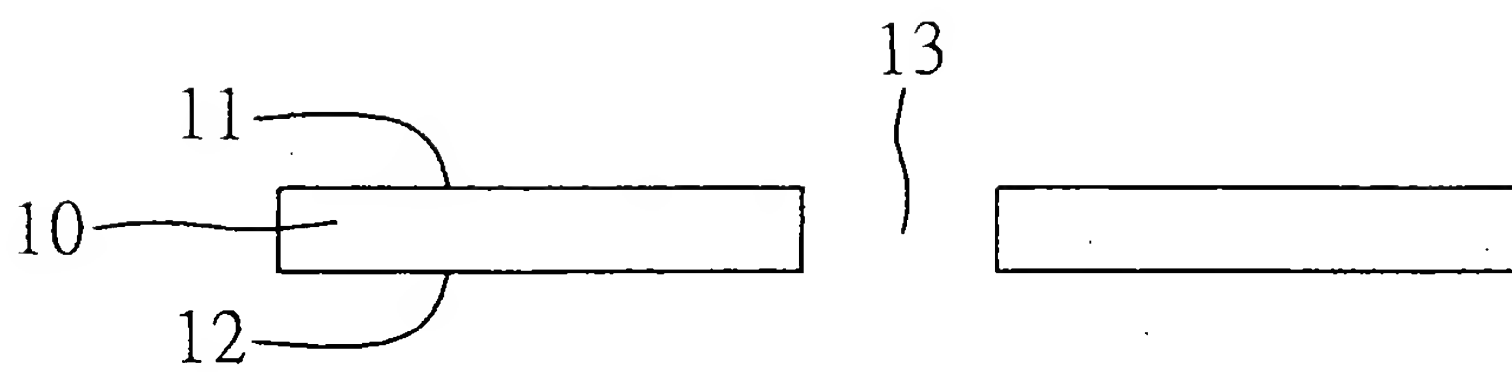
第 1 圖 (代表圖)



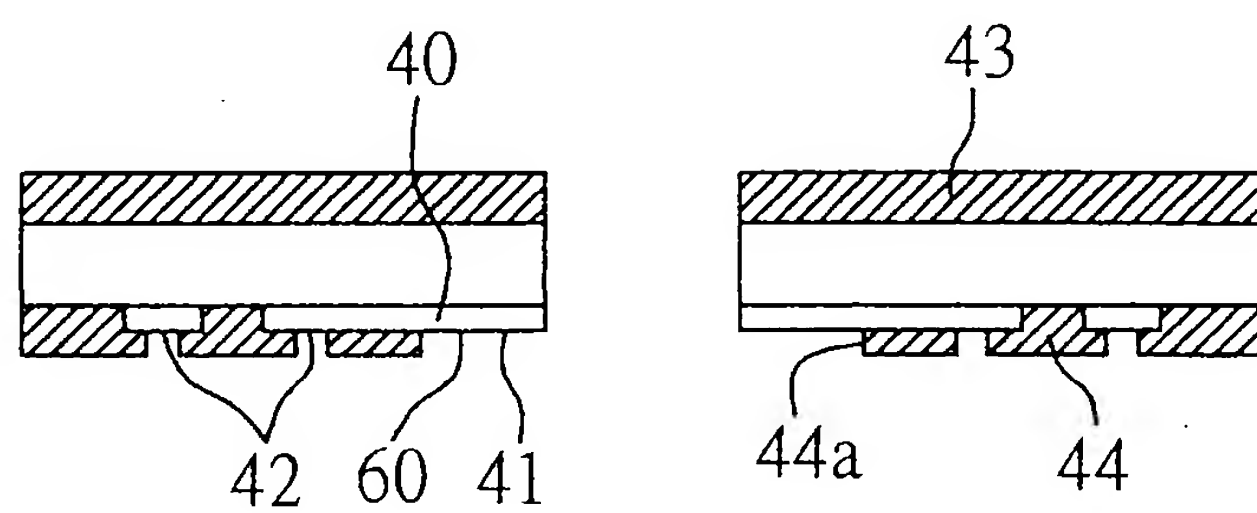
第 2A 圖



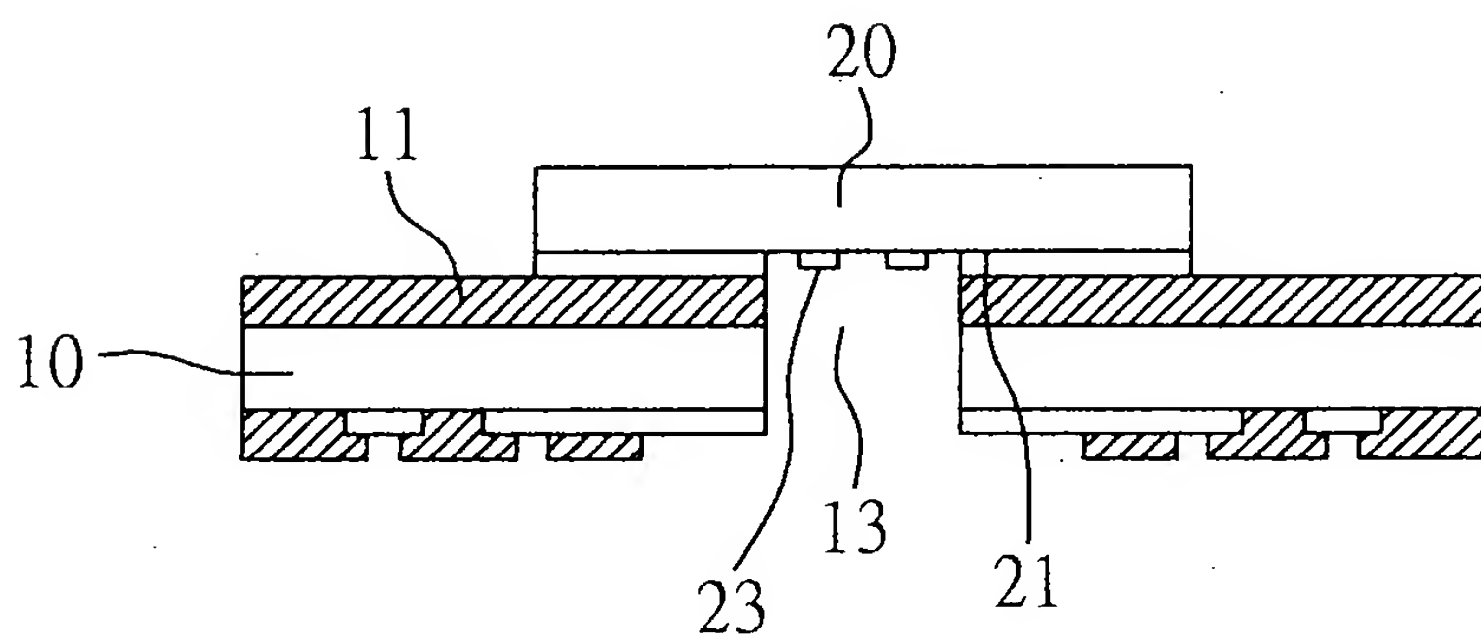
第 2B 圖



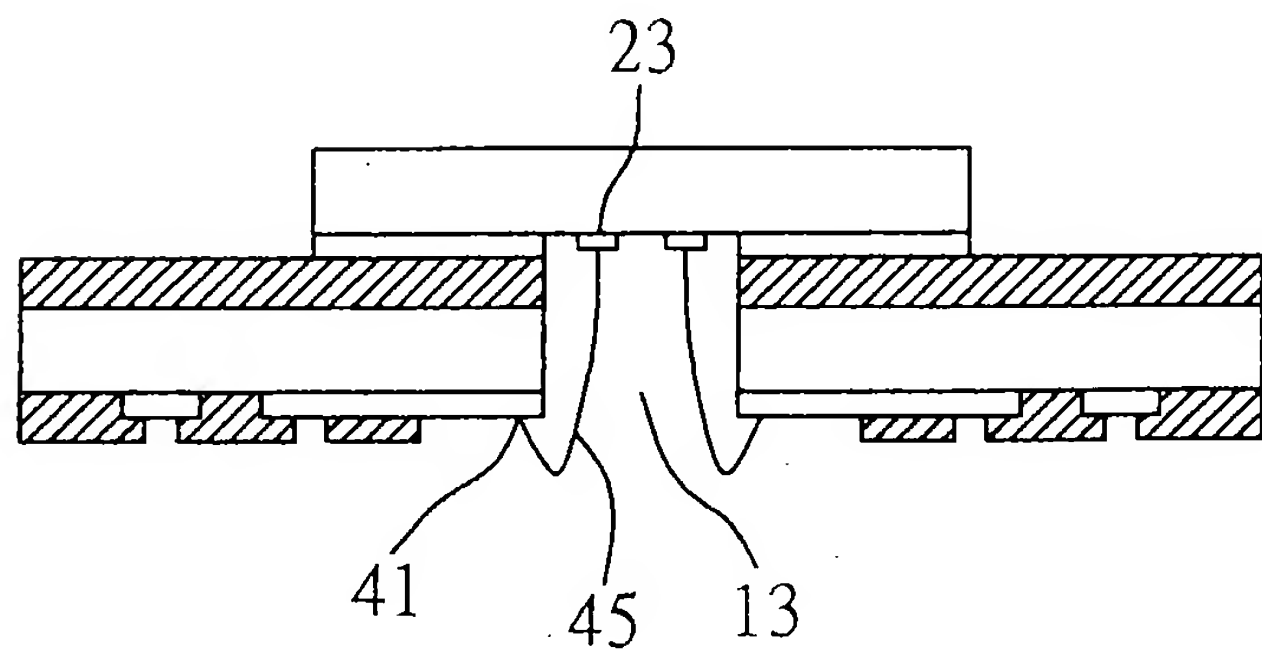
第 4A 圖



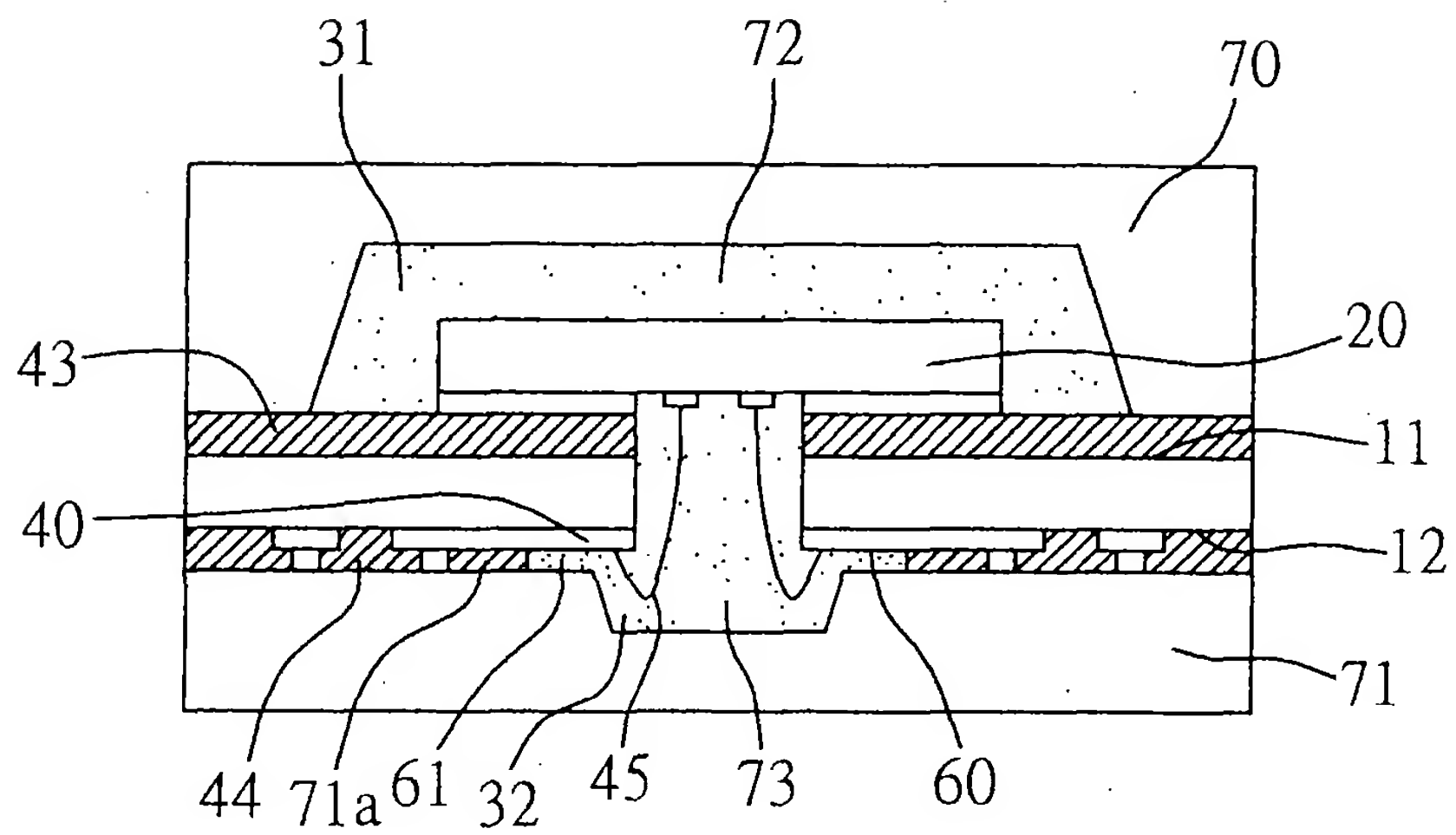
第 4B 圖



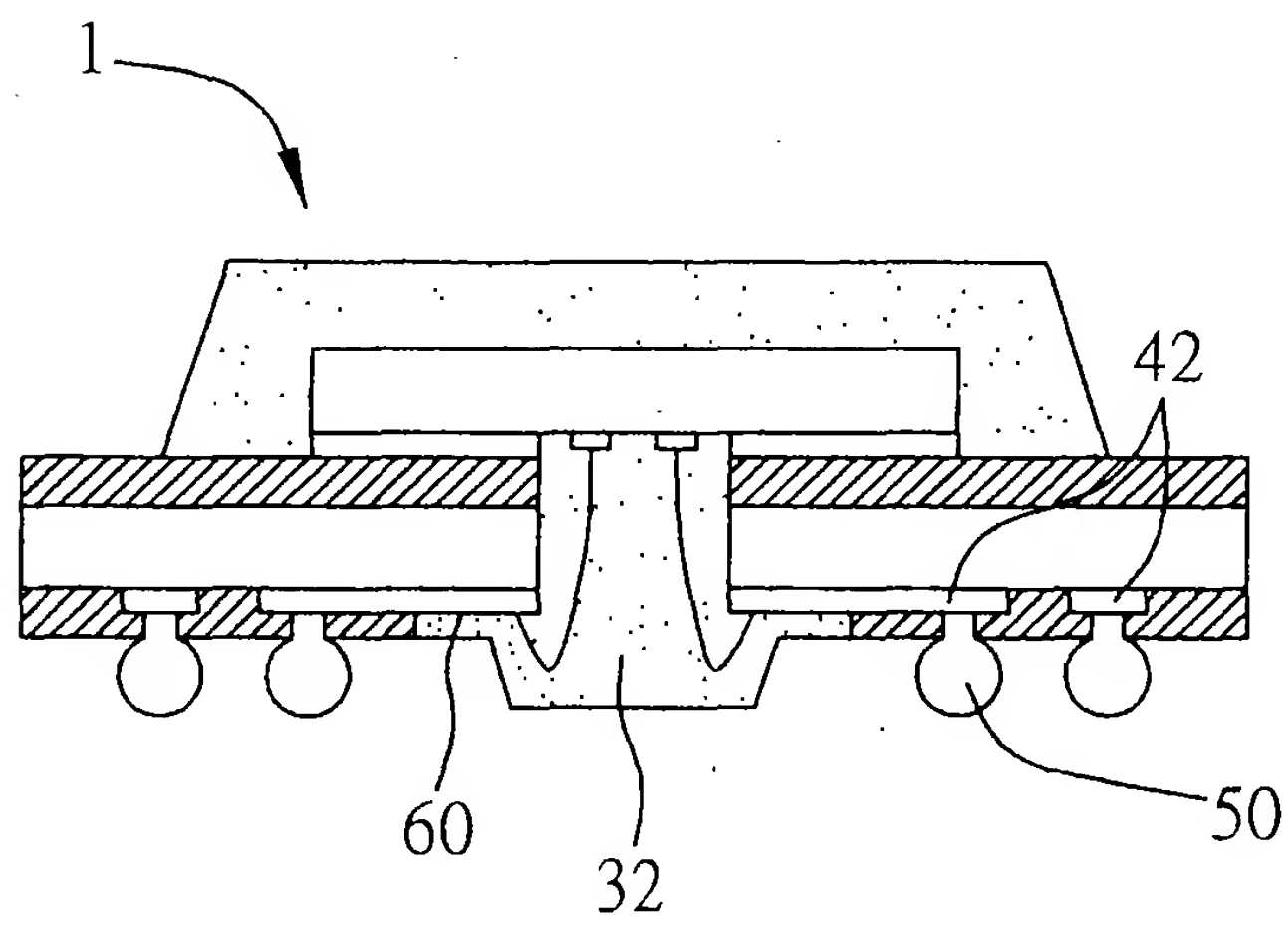
第 4C 圖



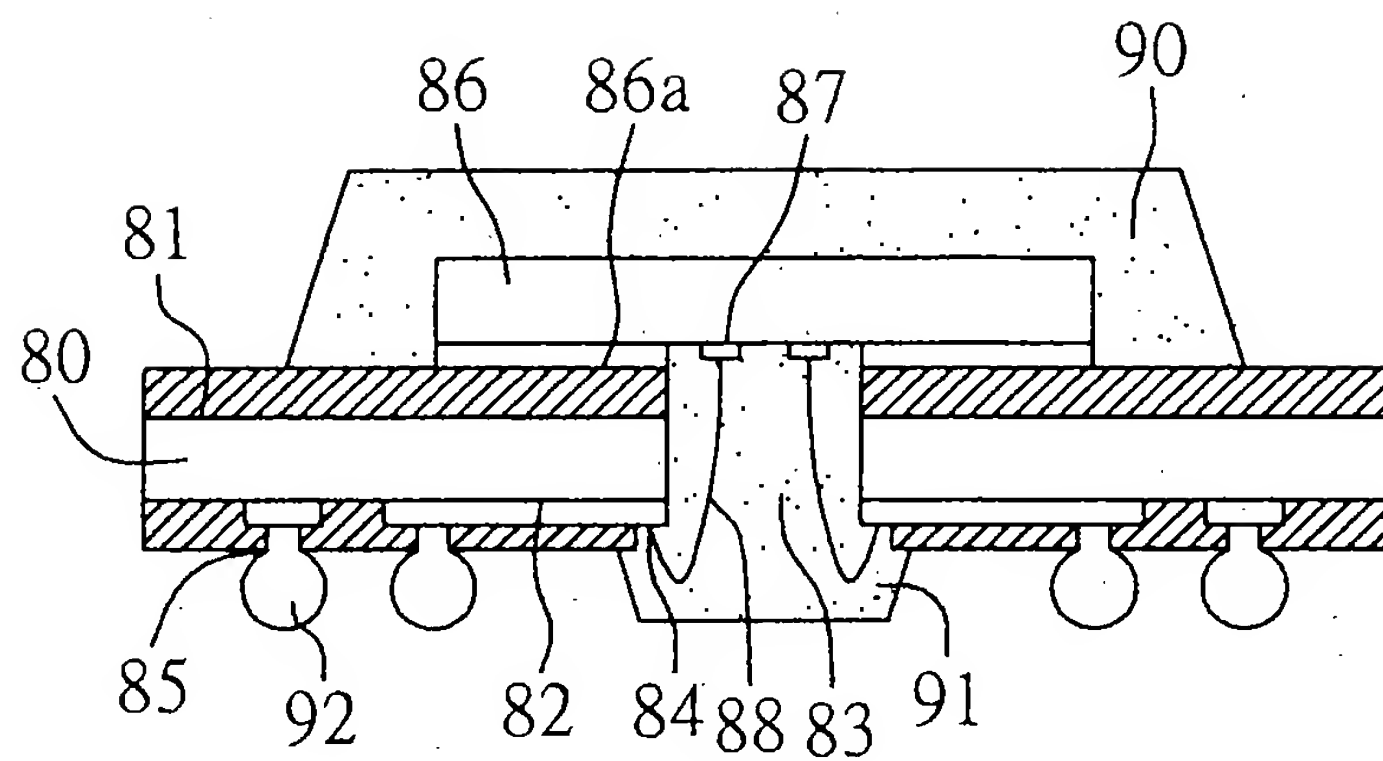
第 4D 圖



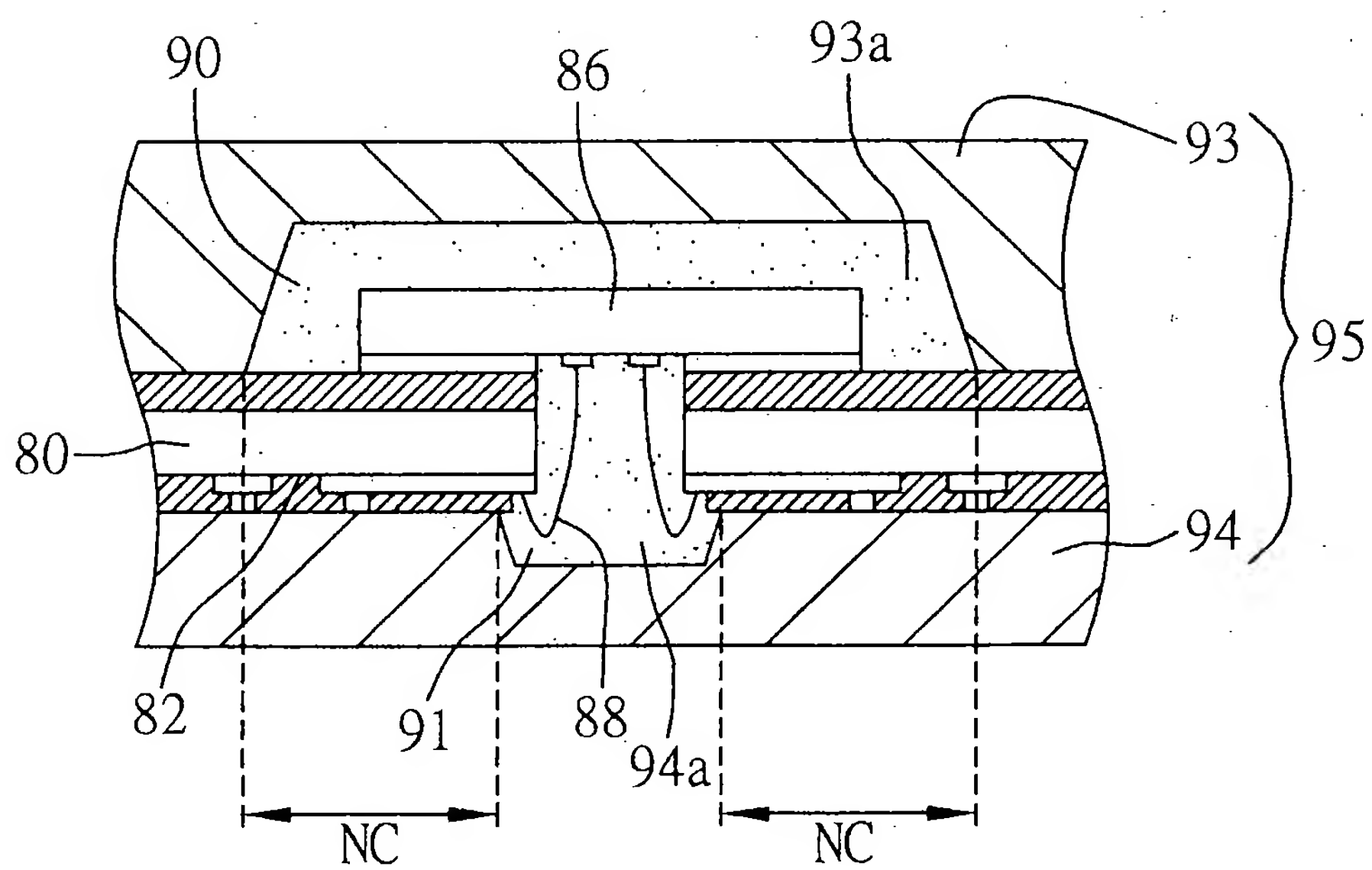
第 4E 圖



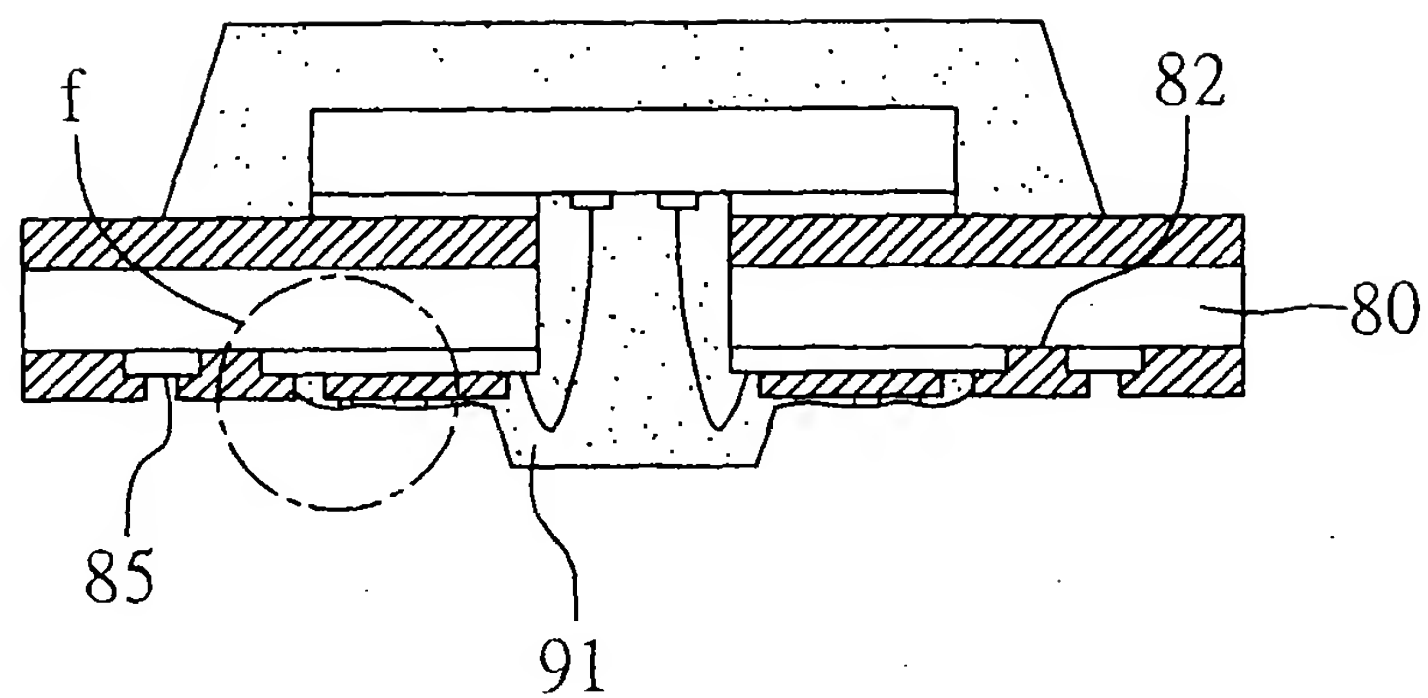
第 4F 圖



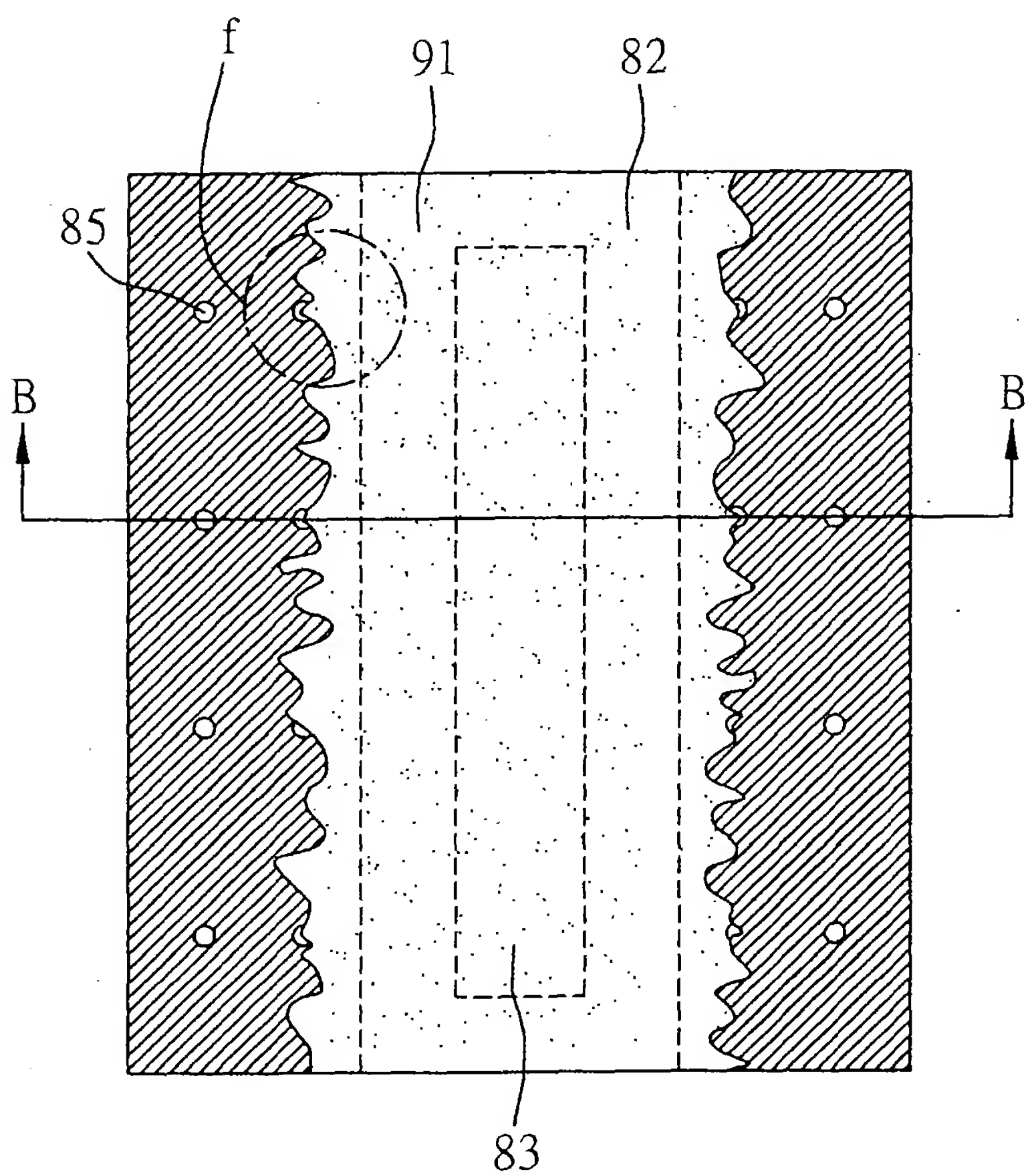
第 5A 圖 (先前技術)



第 5B 圖 (先前技術)



第 5C 圖 (先前技術)



第 5D 圖 (先前技術)